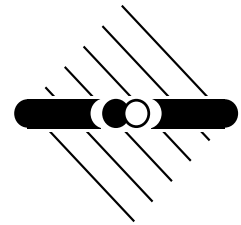




Ruprecht-Karls-Universität Heidelberg
Fakultät für Physik und Astronomie
Max - Planck - Institut für Kernphysik



HD-ASIC-32-0597

Charakterisierung des HELIX 128

Auslesechips für HERA-B

Diplomarbeit

von

Edgar Sexauer



ASIC-Labor
Schröderstraße 90

D-69120 Heidelberg

Zusammenfassung

Diese Arbeit beschreibt die Charakterisierung des CMOS-Chips HELIX 128. Der HELIX 128 wurde im ASIC-Labor Heidelberg entwickelt und wird als Auslesechip für den Vertexdetektor und die Mikrostreifengaskammern des inneren Spurkammersystems am Experiment HERA-B eingesetzt werden.

Er besteht aus 128 ladungsempfindlichen, rauscharmen Vorverstärkern, einem analogen Zwischenspeicher sowie einem Multiplexer, der die auszulesenden Analogdaten zeitlich hintereinander ausgibt. Zusätzlich befindet sich hinter jedem Eingangskanal ein Komparator, der bei Überschreiten einer Referenzspannung ein Triggersignal ausgibt. Es wird die Architektur des HELIX 128 vorgestellt und die einzelnen Funktionselemente erläutert. Der Meßaufbau wird dargestellt sowie die gewonnenen Meßergebnisse präsentiert.

Abstract

Characterization of the HELIX 128 Readout Chip for HERA-B:

This thesis describes the characterization of the CMOS-chip HELIX 128. The HELIX 128 has been developed in the ASIC-laboratory Heidelberg and will be used as readout chip for the vertex detector and the microstrip gas chambers of the inner tracker at HERA-B.

It consists of 128 charge sensitive, low-noise preamplifiers, an analogue pipeline and a multiplexer for serial output of the 128 channels. In addition, there is a comparator behind each channel which produces a trigger signal if an input exceeds a reference level. The architecture of the HELIX 128 is presented and the different functional elements are explained. The measuring setup is shown as well as the test results are given.

Inhaltsverzeichnis

1	Einleitung	5
1.1	HERA-B	5
1.2	Der Vertexdetektor und die Mikrostreifen- gaskammern des inneren Spurkammersystems	8
1.3	Anforderungen an die Ausleseelektronik	9
2	Die Architektur des HELIX 128	12
2.1	Analoge Eingangsstufe	12
2.2	Kontrolllogik	22
2.3	Pipeline	24
2.4	Pipelineverstärker und Multiplexer	25
2.5	Testpulsgenerator	25
2.6	Komparatoren	26
3	Messungen	28
3.1	Messaufbau	28
3.2	Digitalteil	34
3.3	Analoges Ausgangssignal	35
3.4	Testpuls	40
3.5	Rauschen	41
3.6	Messungen zur Pipelinehomogenität	45
3.7	Testkanal	46
3.8	Leistungsaufnahme	49
3.9	Tests von ungebondeten Chips	51
3.10	Komparatoren	51
4	Zusammenfassung und Ausblick	54
A	Steuersignale des HELIX 128	56
B	Padlayout	58

Kapitel 1

Einleitung

Diese Diplomarbeit beschreibt die Charakterisierung des Ausleschips HELIX 128, der für die Auslese von Mikrostreifenzählern für das Experiment HERA-B, das am DESY in Hamburg durchgeführt wird, entwickelt wurde. Der Chip wurde im ASIC-Labor Heidelberg entwickelt und von *Austria Micro Systems* (AMS) gefertigt.

In der Einführung wird das HERA-B Experiment und dessen Subdetektoren, für deren Auslese der HELIX-Chip vorgesehen ist, dargestellt, sowie die Motivation zur Entwicklung eines *application specific integrated circuit* (ASIC) erläutert.

Im der ersten Hälfte der Arbeit wird der Aufbau und die Funktionsweise der verschiedenen Baugruppen des Chips dargestellt, in der zweiten die Messaufbauten sowie die Ergebnisse der Tests.

1.1 HERA-B

Das Experiment HERA-B, das am Proton-Speicher-Ring HERA in Hamburg am DESY durchgeführt wird, hat das Ziel, CP-Verletzung im System neutraler B-Mesonen nachzuweisen. Man spricht von einem CP-verletzenden Prozeß wenn dieser nach Durchführung

$$\begin{array}{lcl} p + A \longrightarrow & b + \bar{b} + X & \\ & \downarrow & \\ & B^0 (d\bar{b}) \longrightarrow J/\Psi + K_s^0 \longrightarrow l^+ l^- + \pi^+ \pi^- & \\ & \downarrow & \\ & \bar{B} (\bar{q}b) \longrightarrow l^- + X' & \end{array}$$

Abbildung 1.1: Zerfallskanal, der bei HERA-B untersucht wird.

einer C-Transformation (das heißt ein Teilchen wird durch sein Antiteilchen ersetzt) und einer P-Transformation (Spiegelung am Koordinatenursprung) nicht mehr identisch abläuft. Die schwache Wechselwirkung verletzt sowohl die C- als auch die P-Symmetrie. Es ist allerdings bisher nur ein System bekannt, bei dem die kombinierte CP-Konjugation verletzt ist. Dies ist das $K^0 \bar{K}^0$ -System. Man führt die CP-Verletzung auf die imaginäre Phase in der Cabbibo-Kobayashi-Maskawa-Matrix (CKM) zurück. Die CKM-Matrix enthält die Übergangswahrscheinlichkeiten zwischen verschiedenen Quarks [1]. Da erwartet wird, daß B-Mesonen starke CP-Asymmetrie zeigen, ist dieses System gut dazu geeignet, Matrixelemente der CKM-Matrix genauer zu bestimmen. Für die Untersuchung der CP-Verletzung

wurde der Zerfallskanal $B^0(d\bar{b}) \rightarrow J/\psi K_S^0 \rightarrow (l^+l^-) + (\pi^+\pi^-)$ ausgewählt. Dazu wird durch Kollision eines Protons mit einem Atomkern ein $b\bar{b}$ -Paar erzeugt. Der weitere Ablauf der Reaktion ist in Abb. 1.1 zu sehen. Es werden die Teilchen J/Ψ und K_S^0 anhand ihrer Zerfälle in Leptonen und Pionen nachgewiesen. Da aus diesem Zerfallskanal nicht zu erkennen ist, ob ein B^0 oder \bar{B}^0 -Zerfall vorliegt, werden die Zerfallsprodukte des zweiten gemeinsam erzeugten B-Mesons (in Abb. 1.1 das \bar{B}) zum *Flavour-Tagging* verwendet. CP-Verletzung liegt vor, falls unterschiedliche Zerfallsraten vom B^0 -Meson und seinem Antiteilchen \bar{B}^0 nachgewiesen werden [2].

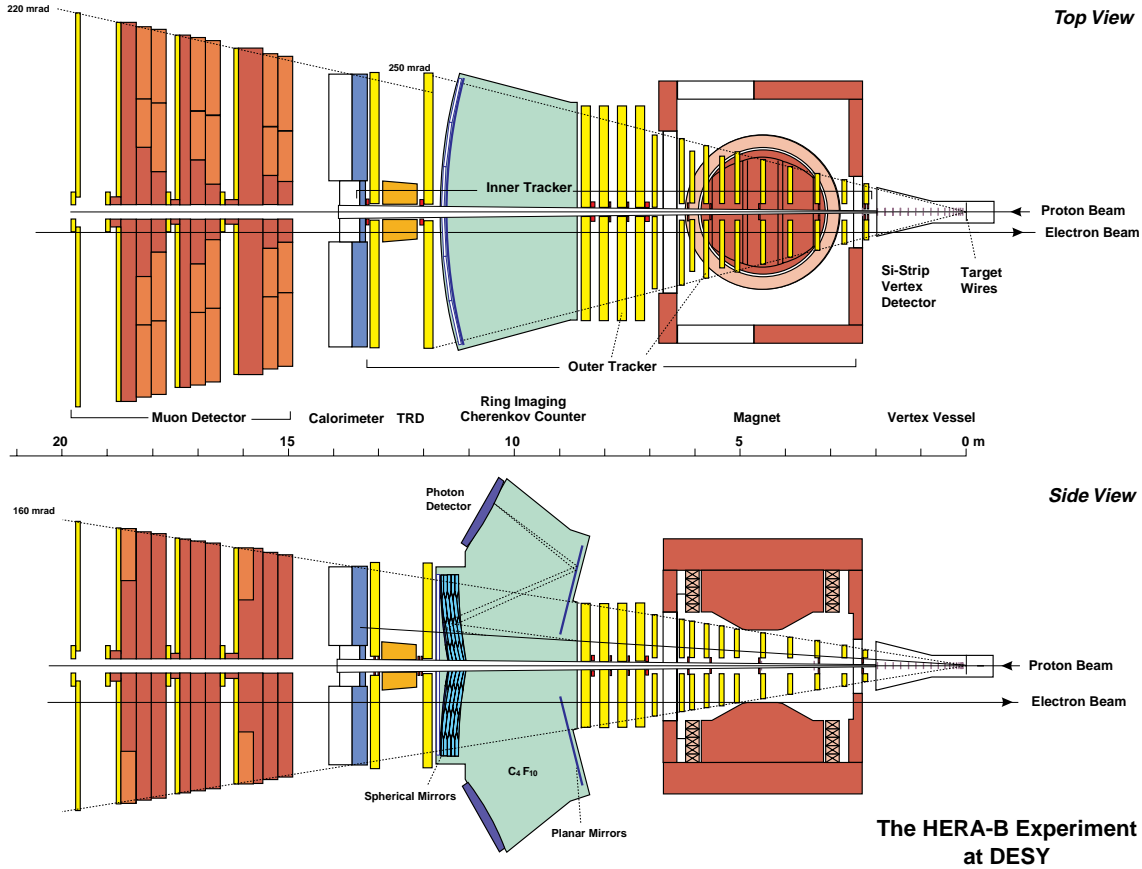


Abbildung 1.2: Übersicht über den HERA-B Detektor [3]

Um eine genügend hohe Anzahl an B-Mesonen zu produzieren und somit genügend viele CP-verletzende Ereignisse zu erhalten, werden sehr hohe Anforderungen an das Experiment gestellt. So muß die Wechselwirkungsrate mindestens 30 MHz betragen. Diese hohe Rate ist notwendig, da die eigentlichen CP-verletzenden Ereignisse durch sehr viele Faktoren unterdrückt sind. Die Unterdrückung des Kanals ("goldener Kanal"), der beobachtet werden soll, beträgt ca. 10^{-12} , das heißt, es müssen im Mittel 10^{12} Wechselwirkungen stattfinden, um ein CP-verletzendes Ereignis in dem goldenen Kanal zu erhalten. Um in möglichst kurzer Zeit genügend viele dieser Ereignisse zu erhalten, ist es notwendig, eine totzeitfreie Auslese zu garantieren, verbunden mit einer hohen Ereignissrate. Gleichzeitig sollte das HERA-B Experiment simultan mit anderen Detektoren am Speicherring HERA betrieben werden können, um eine möglichst lange Meßzeit zu erreichen. Diese Anforderungen prägen den

prinzipiellen Aufbau des HERA-B Detektors. Der Detektor besitzt ein festes Target, das aus Drähten besteht, mit denen Protonen auf divergenten Bahnen aus dem Halo des Protonenstrahls, die für andere Experimente unbrauchbar sind, kollidieren. Diese Methode hat den Vorteil, daß der HERA-Kernstrahl durch HERA-B kaum beeinflußt wird. Die Reaktionsprodukte sind stark in Vorwärtsrichtung der Strahlachse konzentriert. Abb. 1.2 zeigt einen Schnitt durch den gesamten Detektor. Der Protonenstrahl kommt von rechts und trifft auf die Targetdrähte. Diese befinden sich in einem Vakuumtank, der gleichzeitig das Vertexdetektorsystem enthält. Auf diese Detektorkomponente wird später näher eingegangen. Links davon schließt sich das innere Spurkammersystem sowie der Magnet an. Das Magnetfeld dient, zusammen mit dem inneren und dem äußeren Spurkammersystem, zur Impulsbestimmung der geladenen Reaktionsprodukte. Als nächster Subdetektor folgt in Strahlrichtung der kreisabbildende Čerenkov-Licht Zähler (RICH), in dem Pionen, Kaonen und Protonen unterschieden werden. Auf das elektromagnetische Kalorimeter folgt der massive Myonendetektor.

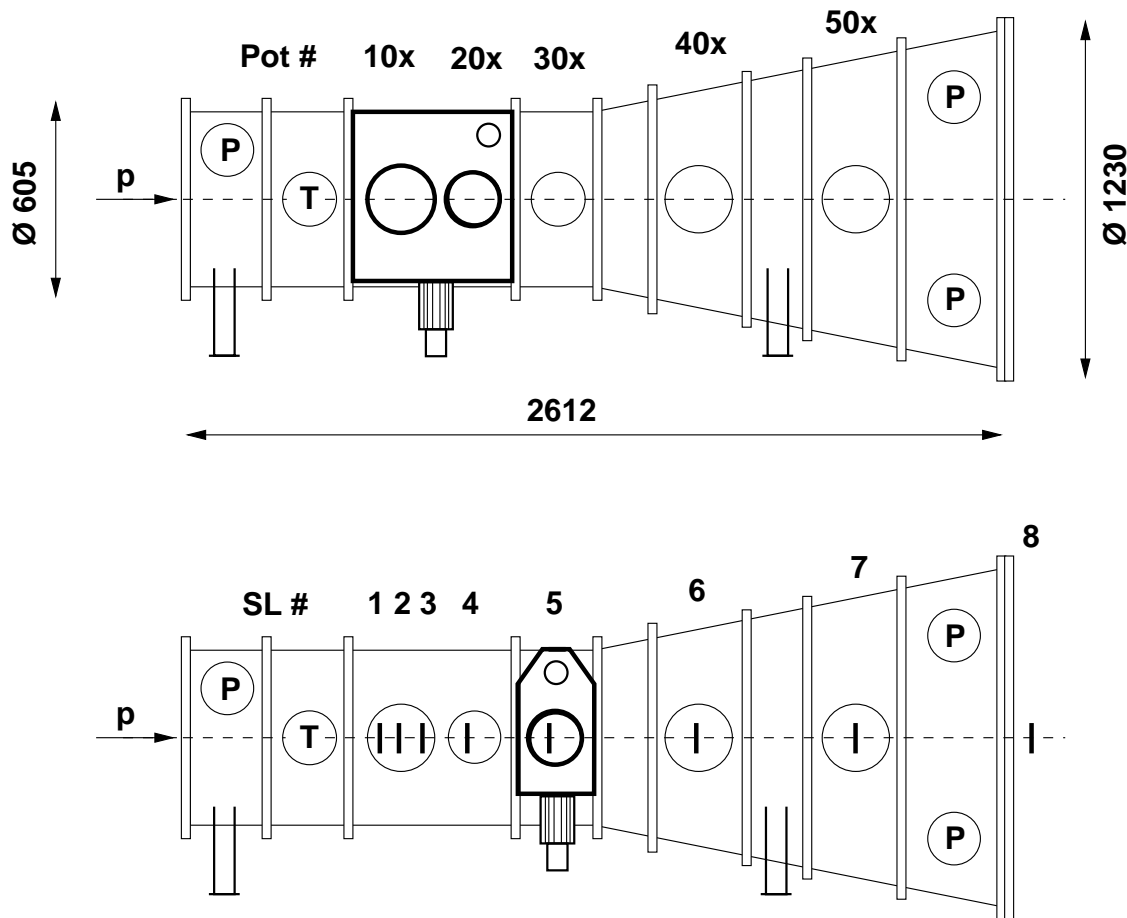


Abbildung 1.3: Schematische Zeichnung vom Vakuumtank zur Aufnahme des HERA-B Siliziumvertexdetektors (es ist nur ein Quadrant gezeichnet): Der Protonenstrahl kommt von links und trifft auf die Drähte des Targets, das am Flansch "T" montiert ist. An den folgenden Flanschen werden die Manipulatoren 10x bis 50x des betreffenden Quadranten x befestigt, die die Detektormodule der sieben Superlagen SL eins bis sieben positionieren. Weitere Flansche "P" dienen zum Anschluss von Pumpen.

Da das Experiment mit einer sehr hohen Ereignisrate betrieben wird, sind mehrere Triggerstufen notwendig. Die erste Triggerstufe *First Level Trigger* (FLT) wird durch das innere Spurkammersystem generiert. Da die Unterdrückung der gesuchten Ereignisse sehr stark ist, muß die Effizienz des FLT sehr hoch sein. Eine niedrige Effizienz des FLT bedeutet, daß die Betriebszeit des HERA-B Experiments gesteigert werden muß. Insgesamt verwendet HERA-B ein vierstufiges Triggerkonzept, bei dem die anfängliche hohe Datenrate auf schließlich 100Hz reduziert wird. Der FLT, der entscheidet, ob ein Ereignis überhaupt ausgelesen werden soll, benötigt für diese Entscheidung circa $10\mu\text{s}$. Die Triggerrate des FLT wird 50 bis 100kHz betragen.

1.2 Der Vertexdetektor und die Mikrostreifengaskammern des inneren Spurkammersystems

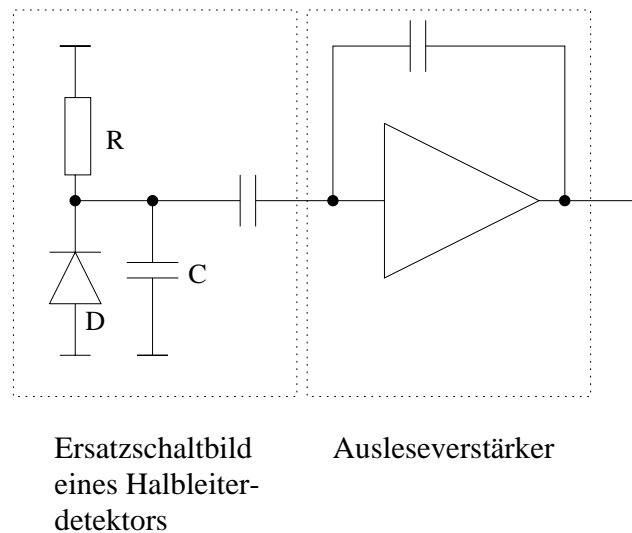


Abbildung 1.4: Ersatzschaltbild eines Detektors mit der sich anschließenden Verstärkerelektronik

Die beiden Subdetektoren bei HERA-B, für die der Auslesechip HELIX 128 entwickelt wurde, sind der Siliziumstreifenvertexdetektor (SVD) und die Mikrostreifengaskammern (MSGC) des inneren Spurkammersystems.

Der SVD, der am Max-Planck-Institut für Kernphysik in Heidelberg sowie am Max-Planck-Institut für Physik in München entwickelt und gebaut wird, dient zur Lokalisierung der Vertizes des B-Zerfalls. Abb 1.3 zeigt einen Überblick über den Vakuumtank, in den sieben Superlagen aus jeweils zwei doppelseitigen Detektormodulen pro Quadrant eingebaut sind. Der Tank ersetzt im Bereich des Vertexdetektors das Strahlrohr des HERA-Speicherrings. Die Detektoren, die in radialer Richtung bezüglich der Strahlachse verfahrbar sind, werden in sogenannten *Roman Pots* montiert. Die Detektormodule sind mit einer Aluminiumkappe abgedeckt, um das Primärvakuum im HERA-Strahlrohr vom Sekundärvakuum im äußeren Tankbereich zu trennen [4]. Die Siliziumstreifenzähler bestehen im Prinzip aus streifenförmigen p-n-Übergängen, die in Sperrichtung geschaltet werden. Die Streifen haben einen Abstand von $25\mu\text{m}$, wovon jeder zweite Streifen ausgelesen wird. Ein Detektormodul enthält

typischerweise 1000 Streifen pro Detektorseite. Falls ein ionisierendes Teilchen die Sperrschicht der Diode durchfliegt, so erzeugt es dort eine Ionisationsladung, die vom elektrischen Feld abgesaugt wird und am Rand des Detektorstreifens als ein deltaförmiger Strompuls detektiert werden kann. Doppelseitige Detektormodule erzeugen einerseits positive als auch negative Ladungspulse. Abb. 1.4 zeigt ein Ersatzschaltbild eines Siliziumdetektors mit der sich anschließenden Verstärkerelektronik. Dabei deutet die Diode D den in Sperrrichtung geschalteten Detektor an. Die Detektorstreifen besitzen eine Kapazität, die in der Größenordnung von $1,2\text{pF/cm}$ liegt. In Abb. 1.4 ist dies durch den Kondensator C angedeutet. Diese Kapazität hat großen Einfluß auf das Rauschen der Ausleseelektronik. Um den Detektor auszulesen, ist es notwendig, das schwache Detektorsignal möglichst rauscharm zu verstärken, da das Rauschen des Verstärkers es erschwert, minimal ionisierende Teilchen nachzuweisen. Die in Sperrrichtung geschaltete Diode besitzt immer einen endlichen ohmschen Widerstand, über den ein Leckstrom abfließt. Dieser ist in der Skizze durch den Widerstand R angedeutet. Der Leckstrom ist die Ursache für das Schrotrauschen des Detektors. Die für die Auslese verwendeten HELIX 128 Chips werden zusammen mit dem Kontroll- und Steuerchip SUFIX auf einem Hybrid an das Detektormodul gebondet. In der Auslesekette schließt sich an die Auslesechips das *Front End Driverboard* (FED) an, daß die analogen Daten digitalisiert sowie die ausgelesenen Ereignisse zwischenspeichert. Es ist geplant, die Signale von den Auslesechips zu dem FED durch eine optische Verbindung zu übertragen.

Die MSGCs, die für den Einsatz im inneren Spurkammersystem vorgesehen sind, standen zum Zeitpunkt dieser Diplomarbeit noch in Entwicklung. Prinzipiell handelt es sich dabei um Kammern, deren Wände aus diamantbeschichtetem Glas bestehen und deren Innenraum mit einem Argon-Dimethylethergemisch gefüllt ist. Auf einer der beiden Glasplatten befinden sich in einem $300\mu\text{m}$ -Raster Anoden- und Kathodenstreifen. Zwischen den Streifen und der gegenüberliegenden Platte liegt eine Hochspannung, in deren Feldgradient in der Nähe eines Anodenstreifens durch die Kammer fliegende, ionisierende Teilchen beschleunigt werden. Die Ladungswolke, die sie dabei produzieren ergibt einen Strompuls auf den Anodenstreifen. Dieser Ladungspuls ist aufgrund des relativ hohen Widerstandes der Anodenstreifen langsamer als die Siliziumdetektorpulse. Durch niederenergetische, stark ionisierende Teilchen werden in MSGCs gelegentlich Hochspannungsüberschläge produziert. Die Ausleseelektronik muß gegen die dabei auftretenden Spannungsspitzen geschützt werden.

1.3 Anforderungen an die Ausleseelektronik

Aufgrund der oben genannten Spezifikationen für den Siliziumdetektor müssen hohe Anforderungen an die Ausleseelektronik gestellt werden. Diesen kann ein ASIC in CMOS-Technologie gerecht werden. Vor allem die geringe Leistungsaufnahme von CMOS-Schaltungen unter den hier gestellten Anforderungen spricht für deren Einsatz. Da sich das Hybrid mit dem Auslesechip beim Vertex-Detektor im Vakuum befindet, ist die niedrige Wärmeentwicklung eines der wesentlichen Argumente für den Einsatz von CMOS-Chips.

Eine wichtige Anforderung an den Auslesechip ist das Zwischenspeichern der Ladungswerte eines Ereignisses für die Zeit, die der FLT Trigger benötigt, um zu entscheiden, ob das Ereignis verworfen werden kann oder endgültig ausgelesen werden muß. Dies wird erreicht, indem zu jedem *Bunch-Crossing*-Zyklus das Detektorsignal in eine Kapazität geschrieben wird, und nach einer bestimmten Zeit, nach der ein Triggersignal des FLT eingetroffen ist, ausgelesen wird. Die Speichertiefe dieses analogen Zwischenspeichers wird vorgegeben durch

die sogenannte *Trigger latency*, das ist die Zeit, die der FLT benötigt, um ein Triggersignal zu generieren, sowie durch die Frequenz der *Bunch-Crossing-Clock*. Diese beträgt bei HERA 10,4MHz. Die Zeitdauer für die Entscheidung des FLT beträgt ca. $10\mu s$.

Der Verstärker muß das näherungsweise deltaförmige Signal des Siliziumdetektors in einen Puls umformen, der 96ns (das ist die Periodendauer der Teilchenpakete) nach der Scheitelzeit möglichst wieder auf das Nullniveau abgefallen ist, um nicht mit einem Puls aus der nachfolgenden *Bunch-crossing*-Periode zu überlappen.

Die Detektorsignale müssen möglichst rauscharm verstärkt werden, da eine Spurekonstruktion von minimal ionisierenden Teilchen sonst schwer möglich ist. Die typische Signalthöhe eines minimal ionisierenden Teilchens in $300\mu m$ Silizium beträgt 24.000 Elektronen. Für diesen Wert wird die Einheit 1MIP (*minimum ionising particle*) verwendet. Als Anforderung an die Ausleseelektronik wurde ein Gesamtrauschen von 1500 Elektronen bei einer Lastkapazität von $20pF$ vorgegeben, was bei minimal ionisierenden Teilchen einem Verhältnis von Signalspannung zu Rauschspannung von ungefähr 20 entspricht [3]. Dies erfordert einen rauscharmen Vorverstärker. Da die Auslesechips für den Vertexdetektor ziemlich nahe am Detektor montiert sein werden (Abstand von Detektorende zum Auslesechip: ca. 10cm), sind sie starker Bestrahlung ausgesetzt (typischerweise 100kRad pro HERA-B-Jahr). Der Einfluß der Strahlung auf die Funktionalität und die Qualität der Chips sollte dabei nicht zu groß sein. Auf die Auswirkungen von ionisierender Strahlung auf die Ausleseelektronik und den HELIX 128 speziell wird in dieser Arbeit nicht näher eingegangen (siehe [6], [7]). Um die Verbindung der Verstärker mit dem Detektormodul zu vereinfachen, sind 128 Kanäle mit Verstärkern auf einem Chip zusammengefasst werden. Der Abstand (*pitch*) der Kanäle entspricht dabei dem Abstand der Mikrostreifen auf dem Detektormodul, das sind $50\mu m$. Somit können dann mehrere Chips nebeneinander auf dem Hybrid aufgebracht werden. Um die detektierten und verstärkten Signale über möglichst wenig Leitungen wegführen zu können, werden die ausgelesenen Detektorsignale eines Ereignisses, das vom FLT gekennzeichnet wird, sequentiell, das heißt zeitlich nacheinander ausgegeben. Dies hat den Vorteil, daß alle Signale, die auf einen Chip eingekoppelt sind, über eine Leitung weggeführt werden. Da das sequentielle Auslesen von 128 Kanälen relativ viel Zeit in Anspruch nimmt, muß die Ausgabegeschwindigkeit möglichst hoch sein. Für den Vertex-Detektor wird ein Wert von 20MHz angestrebt, das heißt, daß die 128 Kanäle (und somit der gesamte Detektor) innerhalb von $6,4\mu s$ ausgelesen werden. Für die Auslese des gesamten Vertexdetektors werden insgesamt 1152 Chips benötigt [4]. Tabelle 1.1 zeigt eine Auflistung der Anforderungen an die Ausleseelektronik für die Siliziumdetektoren.

Für den Einsatz der Auslesechips an den MSGCs gelten ähnliche Anforderungen [5]. Die

Abstand der Eingangspads	$\leq 50\mu m$
Gesamtrauschen bei 20pF Lastkapazität	$\leq 1500 e^-$
Anstiegszeit des Vorverstärkers	$50ns \leq t_p \leq 100ns$
Schreibfrequenz	10,4MHz
Speichertiefe der Pipeline	128 Zellen
Auslesefrequenz	20MHz
totzeitfreie Auslese	unabhängige Schreib- und Lesezeiger

Tabelle 1.1: Anforderungen an den Auslesechip für den Siliziumdetektor

Signalhöhe eines minimal ionisierenden Teilchens beträgt auch hier typischerweise $24.000e^-$. Da das innere Spurkammersystem den FLT generiert, muß auf dem Auslesechip das Detektorsignal möglichst früh mit einer Referenzspannung verglichen und bei Überschreiten dieser ein Triggersignal generiert werden. Um die Auslesechips vor hohen Spannungspitzen, die bei Hochspannungsüberschlägen entstehen können zu schützen, sind auf dem Chip hinter den Eingangspads Schutzdioden angebracht. Diese sollen das Eingangssignal auf die Höhe der Betriebsspannung begrenzen und höhere Spannungen gegen Masse ableiten.

Kapitel 2

Die Architektur des HELIX 128

Der HELIX 128 läßt sich prinzipiell in 4 Funktionselemente gliedern. Teile davon wurden von Entwicklungen der RD20-Kollaboration übernommen [8]. Er besteht aus 128 rauscharmen, ladungsempfindlichen Vorverstärkern mit nachfolgenden Pulsformern, die aus den schwachen, nahezu deltaförmigen Ladungspulsen eines Detektors ein verstärktes, semigaußisches Spannungssignal erzeugen. Diese Spannungssignale werden in einen analogen Zwischenspeicher (*Pipeline*) geschrieben. Auf ein Triggersignal hin, das von dem FLT generiert wird, werden die Signale, die zu einem bestimmten Zeitpunkt in die Pipeline eingeschrieben wurden, aus dieser ausgelesen und von dem Multiplexer zeitlich hintereinander in Form eines analogen Signals ausgegeben. Dabei ist die Höhe des analogen Signals ein Maß für die gesamte Ladung, die auf den Vorverstärker eingekoppelt wurde. Der Digitalteil des Chips steuert dabei die Schreib- und Lesevorgänge in die Pipeline sowie die Ausgabe der gespeicherten Signalhöhen. Zusätzlich befindet sich auf dem Chip hinter jedem der Vorverstärkerkanäle ein Komparator, der die Amplitude des Spannungspulses mit einer Referenzspannung vergleicht und bei Überbeziehungsweise Unterschreiten dieser Schwelle ein Triggersignal ausgibt. In Abb. 2.1 ist eine Prinzipskizze des HELIX 128 aufgeführt, auf dessen einzelne Funktionselemente im weiteren eingegangen wird. Abb. 2.2 zeigt das Layout des HELIX 128 Chip. Man erkennt darauf an der linken Seite die *Bondpads* der Eingangskanäle, rechts daneben die Verstärker. Die große regelmäßige Struktur in der Mitte des Chips ist die Pipeline, die bei dieser Version des HELIX 128 aus 128×128 Kapazitäten besteht. Darunter befindet sich der Digitalteil. Am rechten Rand befinden sich die Pipelineverstärker sowie der Multiplexer und der Ausgangstreiber. Der Chip hat eine Größe von $13,18 \times 6,04 \text{ mm}^2$ und ist in dem AMS- $0,8 \mu\text{m}$ -Prozeß gefertigt.

2.1 Analoge Eingangsstufe

Der Vorverstärker als eines der wichtigsten Bauelemente des HELIX 128 dominiert viele grundlegende Eigenschaften der Leistungsfähigkeit des Chips, so unter anderem das Rauschen des Ausgangssignals sowie die Gesamtverstärkung des Analogteils. In diesem Abschnitt wird eine kurze Einführung in den Aufbau von der MOS-Technologie gegeben und der Aufbau der Schaltung sowie die daraus resultierenden Eigenschaften erläutert.

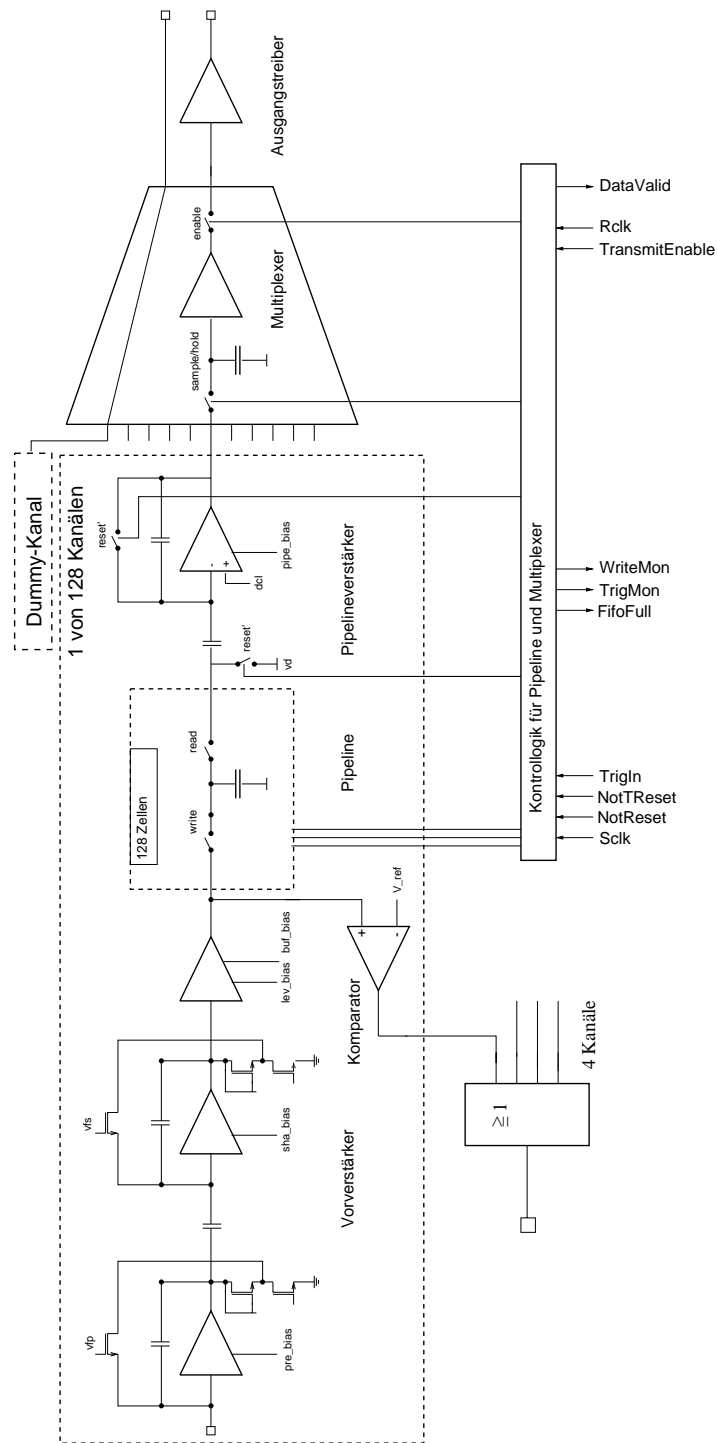


Abbildung 2.1: Prinzipskizze des HELIX 128

2.1.1 Der MOSFET

Mit der MOS-Technologie (**M**etal-**O**xid-**S**emiconductor) lassen sich elektronische Schaltungen mit Widerständen, Kondensatoren und Transistoren realisieren. Niederohmige Widerstände werden durch Polysiliziumschichten realisiert; sollen hochohmige Widerstände einge-

setzt werden, müssen diese aufgrund des großen Flächenbedarfs von Polysiliziumwiderständen durch Transistoren realisiert werden. Kapazitäten werden durch zwei Polysiliziumschichten

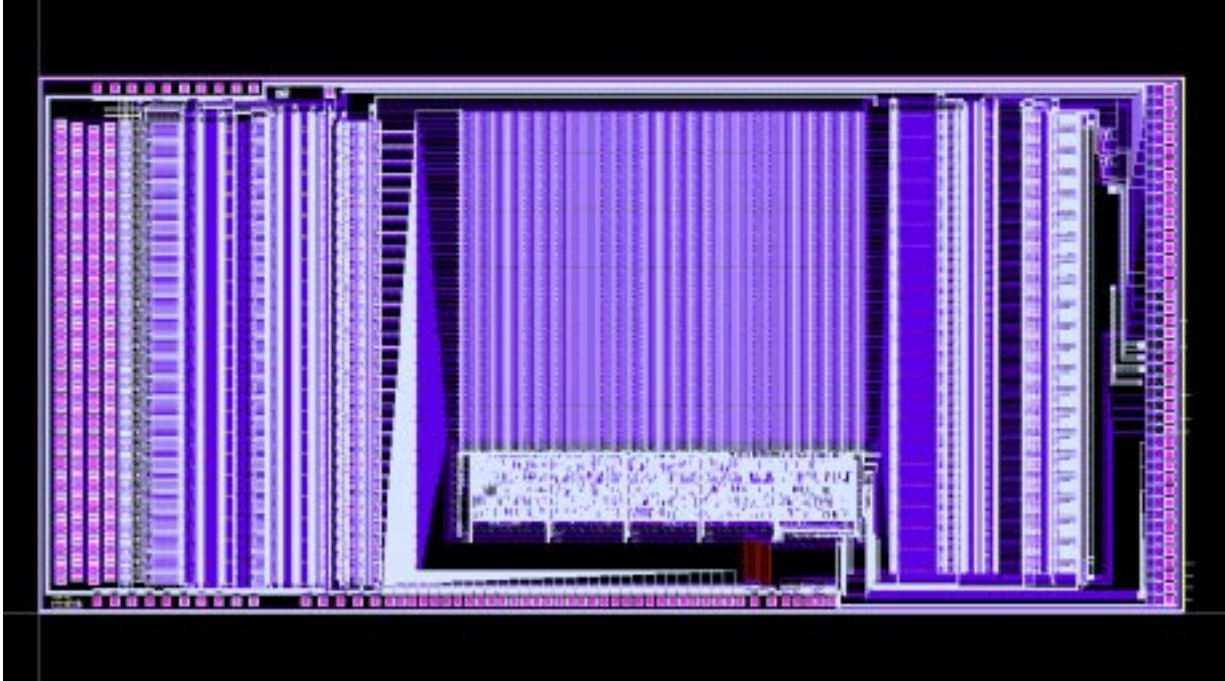


Abbildung 2.2: Layout des Helix 128

aufgebaut, die durch eine Oxidschicht als Dielektrikum voneinander getrennt sind. Aufgrund der Leiterbahnführung kann es zu sogenannten parasitären Kapazitäten kommen, die im allgemeinen nicht vernachlässigt werden können, aber auch für den Schaltungsaufbau genutzt werden. Induktivitäten lassen sich mit der MOS-Technologie nicht herstellen.

Als aktive Bauteile stehen in der MOS-Technologie Transistoren zur Verfügung. Hiermit werden zum einen Widerstände erzeugt, wobei die Linearität wie sie bei Polysiliziumwiderständen gegeben ist nur durch Kombination mehrerer Transistoren angenähert werden kann. Zum andern lassen sich die Transistoren als Schalter und Verstärker nutzen.

Die auf dem HELIX 128 verwendeten Transistoren sind in der MOS-Technologie realisiert. Ihre Grundbausteine sind die Feldeffekttransistoren (FET). FETs unterscheiden sich unter anderem von der in bipolarer Technologie hergestellten Transistoren durch ihre geringe Leistungsaufnahme.

Man unterscheidet n- und p-Kanal MOSFET. Ein n-Kanal-MOSFET besitzt ein *Gate*, das als Metallschicht oder als Polysiliziumschicht realisiert sein kann. Das *Gate* ist von dem Siliziumsubstrat (*Bulk*) durch eine Oxidschicht getrennt ist. Das Substrat ist bei einem n-Kanal-MOSFET p-dotiert. Daran schliesen sich zwei Diffusionsgebiete hoher n-Dotierung an. Man nennt diese Gebiete *Source* und *Drain*. In Abb 2.3 ist die Ansicht eines MOS dargestellt. Bei einem p-Kanal sind *Drain* und *Source* p-dotiert. Falls keine Spannung zwischen *Source* und *Drain* angelegt wird, so fließt zunächst kein Strom, da es sich um zwei pn-Übergänge handelt, von denen jeweils einer in Sperrichtung geschaltet ist. Legt man allerdings eine positive Spannung an das *Gate*, so sammeln sich negative Ladungsträger unter der Siliziumoxidschicht und es kommt zu einer Ladungsträgerinversion. Dies bedeutet,

daß sich zum Beispiel der p-dotierte Bereich wie ein n-dotierter Bereich verhält. Dadurch fließt ein Strom zwischen *Source* und *Drain*, der über die Gatespannung geregelt werden kann. Prinzipiell funktionieren n-Kanal und p-Kanal MOSFETs identisch, aufgrund der unterschiedlichen Mobilität der jeweiligen Ladungsträger sind die Strom-Spannungskennlinien unterschiedlich. Beim *ComplementaryMOS*-Prozess sind n-Kanal und p-Kanal-FET auf

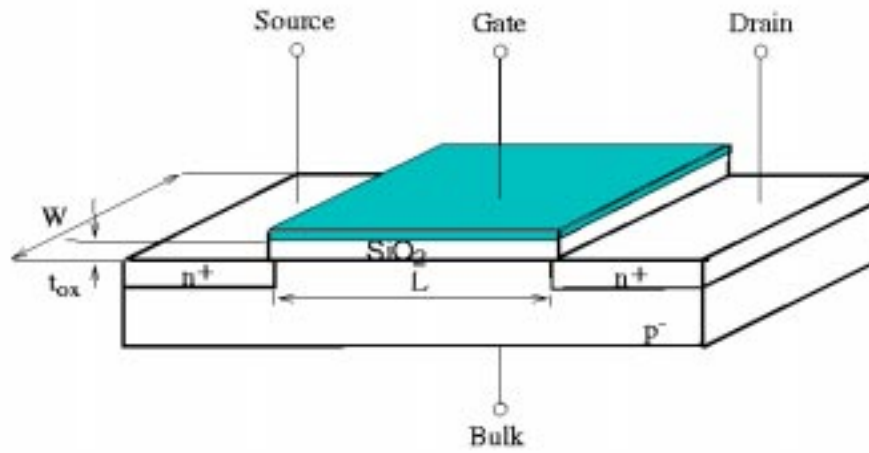


Abbildung 2.3: Ansicht eines n-MOSFET

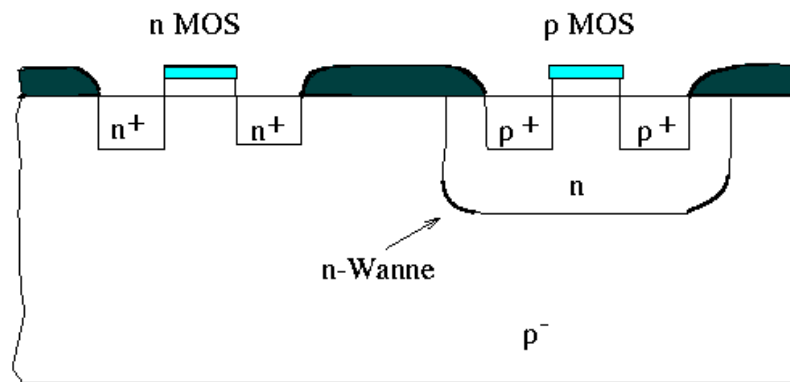


Abbildung 2.4: Schnitt durch einen C-MOS Feldeffekttransistor

dem gleichen Substrat integriert. Dies wird durch sogenannte Wannen (*wells*) ermöglicht. Bei einem p-dotierten Substrat ist ein n-Kanal MOSFET in eine n-dotierte Wanne eingebettet. Abb 2.4 zeigt einen Schnitt durch einen C-MOSFET. Die charakterisierenden Größen eines MOSFETs sind die Breite W und Länge L des des Kanals, sowie die Dicke t_{ox} der Oxidschicht, die das Gate vom Kanal trennt. Die minimalen Werte von W und L sind durch das Auflösungsvermögen des Prozesses begrenzt und können zwischen $0,35\mu\text{m}$ und $2\mu\text{m}$ liegen.

Die Dicke der Oxidschicht ist im Bereich von 100Å bis 300Å, die Tiefe der Diffusionsgebiete von Drain und Source liegt zwischen 0,3µm und 0,6µm [9],[6].

Abb. 2.5 zeigt eine Schar von Kennlinien eines MOSFET. Aufgetragen ist der Drainstrom gegen die Spannung zwischen *Source* und *Drain* für verschiedene Werte der Gatespannung. Man unterscheidet bei den Kennlinien zwischen dem linearen Bereich und dem Sättigungsbereich.

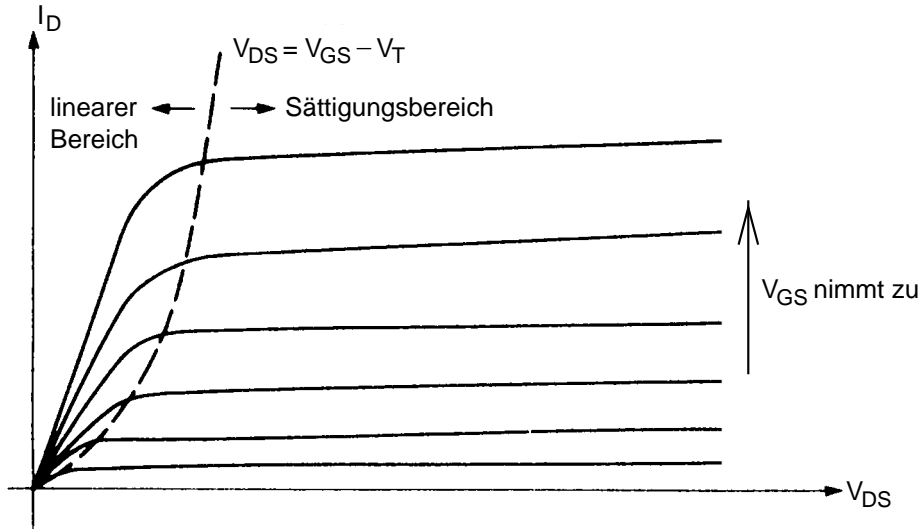


Abbildung 2.5: Kennlinienschar einer MOS-Feldeffekttransistors [13]

bereich. Befindet sich der FET im Sättigungsbereich, so sind alle freien Ladungsträger am Stromtransport beteiligt.

2.1.2 Schaltung

Die Entwicklung des im HELIX 128 verwendeten Vorverstärkers vollzog sich in mehreren Schritten über verschiedene Testversionen. Die im hier vorgestellten HELIX 128 eingesetzte Version des Vorverstärkers und Pulsformers hat die Bezeichnung HELIX 1.2. Abb 2.6 zeigt den Schaltplan des Verstärkers. Man erkennt den mehrstufigen Aufbau. Der vom Detektor kommende Strompuls geht auf das *Gate* des Eingangstransistors T1, wodurch er auf die Rückkoppelkapazität C_{fp} invertierend integriert wird. Nach der Differentiation durch die Kapazität C_1 , die zusammen mit dem Widerstand des Feldeffekttransistors T_8 einen Hochpass bildet, wird das Signal erneut durch den Pulsformer invertierend verstärkt, so daß am Ausgang des Pulsformers eine der eingekoppelten Gesamtladung proportionale Spannung anliegt. Der nachfolgende *Levelshifter* verändert die Lage der Basislinie des verstärkten Signals; die sich anschließende Treiberstufe erniedrigt den Innenwiderstand auf circa 1kΩ. Die Schaltung des Vorverstärkers, der in Abb. 2.6 symbolisiert ist, ist in Abb. 2.7 detailliert gezeigt. Dabei ist der gestrichelt umrahmte Teil in Abb. 2.6 durch das Vorverstärkersymbol ersetzt worden. Es wurde eine gefaltete Kaskodenschaltung verwendet, das heißt der Kaskodentransistor ist im Signalpfad in Reihe zum Eingangstransistor geschaltet. Der FET T_2 dient dabei als Arbeitswiderstand der Kaskodenschaltung. Mit der Spannung, die am

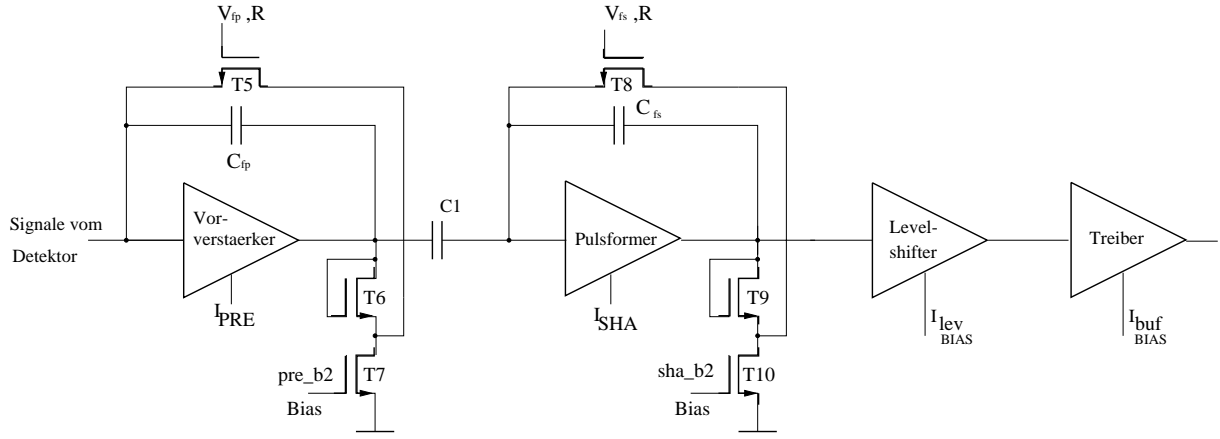


Abbildung 2.6: Schaltplan der analogen Eingangsstufe

Gate von T_2 anliegt, wird dessen Widerstand variiert. Der FET T_4 hat die Funktion einer Konstantstromquelle, deren Wert durch die Gatespannung eingestellt wird. Dies ist das Prinzip eines Stromspiegels. Die FETs T_6 und T_7 bewirken einen Spannungsoffset am Ausgang. Um die integrierende Kapazität C_{fp} durch mehrere aufeinander folgende Pulse

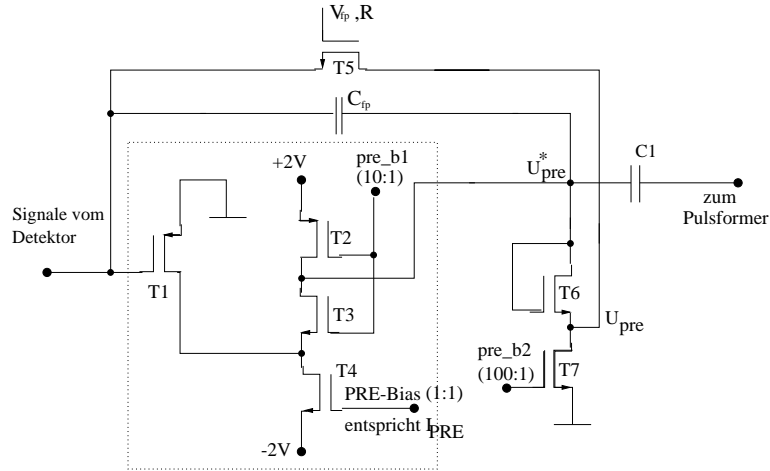


Abbildung 2.7: Detailschaltplan des Vorverstärkers

nicht aufzuladen, und somit den Verstärker in seinen Sättigungsbereich zu bringen, hat der als Rückkoppelwiderstand wirkende Transistor T_5 die Aufgabe, den Integrator zu entladen. Durch die Gatespannung V_{fp} und damit durch seinen Widerstand wird die Entladekonstante eingestellt. Die Verstärkung des Vorverstärkers berechnet sich alleine aus der Rückkoppelkapazität nach $U = \frac{Q_{in}}{C_{fp}}$, wobei U_{in} die auf den Verstärker eingekoppelte Ladung und C_{fp} die Rückkoppelkapazität ist. Der Wert für C_{fp} beträgt bei dieser Version 740fF, sodaß bei einer Ladungseinkopplung von 24.000 Elektronen eine Spannung von $U = 5,2mV$ am Ausgang des Vorverstärkers anliegt. Der Pulsformer hat prinzipiell den gleichen Aufbau wie der Vorverstärker, die Dimensionierung der FETs ist jedoch eine andere. Mit dem als Rückkoppelwiderstand wirkenden FET T_8 wird die Zeitkonstante des Pulsformers eingestellt.

Die damit einzustellende Spannung ist V_{fs} . Die für den Betrieb der einzelnen Verstärkerkomponenten benötigten Bias-Ströme und -Spannungen werden von außen vorgegeben. Am Beispiel des Vorverstärkers sieht man, daß die von außen vorgegebenen Ströme in bestimmten Verhältnissen heruntergeteilt werden müssen, beim Vorverstärker ist dies der Biasstrom I_{pre} . Dies wird durch Stromspiegel erreicht. Abb. 2.8 zeigt ein Beispiel solch einer Schaltung. Durch den FET T_{ref} wird von außen ein konstanter Strom eingepreßt. Durch die Verbindung des Gates mit dem der Source stellt sich eine konstante Gatespannung ein, die an das Gate des FET T_1 gelegt wird. Falls die Gatespannung größer als die Drainspannung ist, das heißt, der FET T_{REF} sich im linearen Bereich befindet, verhalten sich die Ströme bei der Stromspiegelschaltung wie die Verhältnisse von W zu L der FETs:

$$\frac{I_{REF}}{I_1} = \frac{W_{REF}}{L_{REF}} \cdot \frac{L_1}{W_1}. \quad (2.1)$$

Der Vorverstärker erhält somit z.B. über T_2 den Strom pre_b1 , der im Verhältnis 10 : 1 zu I_{pre} steht.

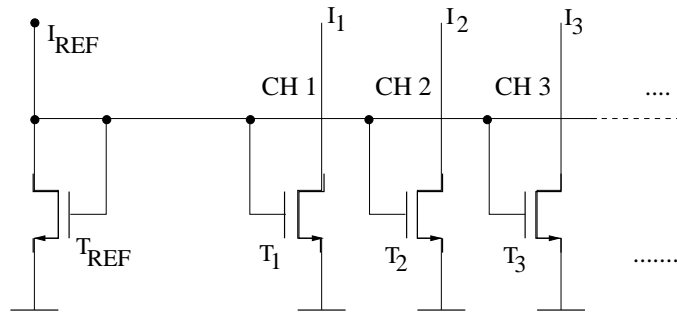


Abbildung 2.8: Stromspiegelschaltung für die Bias-Ströme. Der eingepreßte Referenzstrom wird bei gleichen FET-Eigenschaften im Verhältnis 1:1 auf die Kanäle gespiegelt.

Im weiteren wird nun die Auswirkung der einzelnen Biasströme und -spannungen auf die Ausgangspulsform des Verstärkers aufgelistet. Die Werte für die Standardeinstellungen sind in Tabelle 2.1 aufgeführt.

- **Vorverstärker-Biasstrom I_{pre}**

Mit dem Vorverstärker-Biasstrom wird die Anstiegsgeschwindigkeit der Spannung am Ausgang des Vorverstärkers variiert. Ein höherer Biasstrom bewirkt eine größere Anstiegszeit. Die Übertragungsfunktion des Pulsformers läßt sich jedoch durch die eines Bandpasses beschreiben. Dadurch wird ein Signal mit einer geringeren Scheitelzeit stärker abgeschwächt. Daher steigt am Ausgang des Pulsformers die Amplitude des Signals mit steigendem Biasstrom I_{pre} . Ein größerer Vorverstärker-Strom bewirkt auch, daß der Vorverstärker stärker gedämpft ist und der Unterschwinger kleiner wird.

- **Vorverstärker-Biasspannung V_{fp}**

Mit der Vorverstärker-Biasspannung wird die Größe des Rückkoppelwiderstandes des Vorverstärkers eingestellt. Dieser Widerstand verhindert, daß sich die Rückkoppelkapazität C_{fp} auflädt und der Verstärker den linearen Bereich verläßt. Falls der Wert von V_{fp} eine bestimmte Schwelle nicht unterschreitet, sollte er also keinen Einfluß auf die Pulsform haben. Dies ist der Fall, wenn die Zeitkonstante dieses RC-Gliedes

Biasgröße	Standardeinstellung
Vorverstärker-Biasstrom I_{pre}	$200\mu A$
Vorverstärker-Biasspannung V_{fp}	$0V$
Pulsformer-Biasstrom I_{sha}	$120\mu A$
Pulsformer-Biasspannung V_{fs}	$1,5V$
Levelshifter-Biasstrom I_{lev}	$-3\mu A$
Treiber-Biasstrom I_{buf}	$100\mu A$

Tabelle 2.1: Standardeinstellung der Biasgrößen der analogen Eingangsstufe

$\tau = R_{T5} \cdot C_{fp}$ groß gegen die Integrationszeit des Pulsformers ist. Ansonsten geht der Vorverstärker in die Sättigung. Das Rauschen des Vorverstärkers steigt mit V_{fp} an.

- **Pulsformer-Biasstrom I_{sha}**

Der Pulsformer-Biasstrom hat den Einfluß auf den Pulsformer wie der Vorverstärker-Biasstrom auf den Vorverstärker. Daher bewirkt auch hier ein größerer Biasstrom eine Verkleinerung des Unterschwingers.

- **Pulsformer-Biasspannung V_{fs}**

Mit der Pulsformer-Biasspannung wird der Rückkoppelwiderstand des Pulsformers variiert. Dadurch ändert sich die Integrationszeit des Pulsformers. Bei niedriger Integrationszeit, das heißt niedrigem Rückkoppelwiderstand (V_{fs} groß) fällt der Puls am Ausgang des Pulsformers schneller auf die Basislinie ab. Dadurch erniedrigt sich auch die Pulshöhe, da die Ladungsänderung am Eingang nicht vollständig aufintegriert wird.

- **Levelshifter-Biasstrom I_{lev}**

Dieser Biasstrom hat praktisch keinen Einfluß auf die Pulsform, er verändert lediglich den Spannungsoffset.

- **Treiber-Biasstrom I_{buf}** Dieser Biasstrom hat ebenfalls keinen Einfluß auf die Pulsform. Der Treiber macht lediglich aus dem hochohmigen Ausgangssignal des Pulsformers ein niederohmiges.

2.1.3 Rauschen

Das Rauschen des Auslesechips HELIX 128 ist ein sehr wichtiges Kriterium für die Bewertung der Qualität der ausgelesenen Signale. Wichtig ist hierbei, in welchem Verhältnis die Rauschladung zum Ladungswert eines zu detektierenden Signals steht. Dieses *Signal to noise ratio* (SNR) sollte so groß wie möglich sein; für den Siliziumdetektor ist ein Wert von $SNR \geq 20$ erforderlich [3].

Die Gesamtverstärkung im HELIX 128 wird durch eine Reihenschaltung von mehreren Verstärkern erreicht. Dies sind der Vorverstärker, der Pulsformer sowie der *Buffer* vor der Pipeline, beziehungsweise der Pipelineverstärker und der Ausgangstreiber nach der Pipeline. Das Rauschen solch einer Reihenschaltung wird jedoch nur von der ersten Verstärkerkomponente dominiert, da die Rauschzahlen der übrigen Komponenten nur mit ihrer reziproken

Leistungsverstärkung eingehen. Dies ist in diesem Fall der Vorverstärker, dessen Rauschen vom Eingangstransistor bestimmt wird (in Abb 2.7 ist dies T_1).

Theorie des Rauschens Das Rauschen eines Ladungsverstärkers mit anschließendem Pulsformer läßt sich prinzipiell in zwei Arten einteilen, deren einzelne Komponenten im weiteren erläutert werden. Um serielles Rauschen handelt es sich, wenn der Rauschwert proportional mit der Lastkapazität am Eingang des Transistors ansteigt. Dieser Beitrag setzt sich aus dem 1/f-Rauschen, dem Kanalrauschen sowie dem Bulk-Widerstandsrauschen des Eingangstransistors zusammen. Paralleles Rauschen nennt man den Anteil am Gesamt-rauschen, der unabhängig von der kapazitiven Belastung am Eingang des Transistors ist. Dieser Anteil setzt sich im wesentlichen aus dem Leckstrom, der über den Detektor und den Arbeitswiderstand der kapazitiv gekoppelten Diode abfließt, zusammen. Diese Beiträge entstehen jedoch nur, wenn der Vorverstärker mit einem Detektor verbunden ist.

Um ein anschauliches Maß für das Verstärkerrauschen zu erhalten, wird das Rauschen auf auf die Höhe des Eingangssignals bezogen und in Ladungseinheiten geeicht. Dazu wird die mittlere quadratische Rauschspannung $\overline{u_r^2}$ am Ausgang des Verstärkers aus

$$\overline{u_r^2} = \lim_{T \rightarrow \infty} \frac{1}{2T} \int_{-T}^T u_r^2 dt \quad (2.2)$$

berechnet [16]. Die Wurzel aus der mittleren quadratischen Rauschspannung wird als RMS-Wert (*root mean square*) bezeichnet. Dieser Wert wird in Einheiten der Elementarladung geeicht, indem er durch die Verstärkung des ladungsempfindlichen Verstärkers dividiert wird:

$$ENC[e^-] = \frac{\sqrt{\overline{u_r^2}}[mV]}{Gain[mV/e^-]} \quad (2.3)$$

Die so erhaltene Größe nennt man *equivalent noise charge* (ENC) und hat die Einheit e^- . Dieser Wert läßt sich direkt mit der Größe der Detektorsignale vergleichen.

Die Beiträge sehen im einzelnen wie folgt aus [18]:

- 1/f-Rauschen

Das 1/f-Rauschen ist ein Rauschanteil, der bei großen Scheitelzeiten des Pulsformers das Gesamt-rauschen dominiert, wenn das Kanalrauschen unterdrückt ist. Es wird durch elektronische Effekte im Halbleiter verursacht und folgendermaßen berechnet:

$$ENC_{1/f} = \frac{C_t e}{q} \sqrt{\frac{F_k}{2W L_{eff}}} \quad (2.4)$$

Hierbei ist C_t die gesamte Lastkapazität am Eingang des Verstärkers sowie W und L_{eff} die Breite und Länge des Eingangstransistors T1, sowie F_k eine vom Herstellungsprozeß abhängige Konstante. Die Koppelkapazität zwischen Vorverstärker und Pulsformer bildet zusammen mit dem Pulsformer einen Bandpaß (RC-Filter), der das 1/f-Rauschen bei niedrigen Frequenzen unterdrückt. Der Beitrag des 1/f-Rauschens ist unabhängig von der Scheitelzeit.

- Kanalrauschen

Das Kanalrauschen ist ein weißes Rauschen, das heißt, sein Beitrag zur Gesamt-rauschleistung ist über alle Frequenzen gleich. Sein Beitrag brechnet sich als

$$ENC_{Kanal} = \frac{C_t e}{q} \sqrt{\frac{(\eta + 1)kT}{3g_m T_p}}, \quad (2.5)$$

wobei g_m die Transkonduktanz des Eingangstransistors, T_p die Scheitelzeit des Pulsformers, γ ein Faktor, der von der Kanallänge und der *Source-Drain*-Spannung abhängt und η das Verhältnis der Steilheiten g_{mbs} zu g_m ist. Somit steigt das Kanalrauschen linear mit der Lastkapazität am Transistoreingang und kann durch die Wahl der Steilheit $g_m (\sim \frac{W}{L})$ beeinflusst werden.

- Bulk-Widerstandsrauschen

Das Bulk-Widerstandsrauschen entsteht durch das thermische Rauschen des Widerstandes R_{bulk} zwischen Kanal und Substratanschluß. Es berechnet sich aus

$$ENC_{Bulk} = \frac{C_{te}}{q} \sqrt{\frac{R_{bulk} \eta^2 k T}{2 T_p}}. \quad (2.6)$$

- Rauschen des Leckstroms des Detektors

Ein Halbleiterzähler, der prinzipiell aus einer in Sperrichtung geschalteten Diode besteht, besitzt immer einen Leckstrom. Dieser Leckstrom trägt zum Rauschen des Verstärkers bei und ist unabhängig von der Lastkapazität am Transistoreingang. Die Rauschspannung läßt sich folgendermaßen berechnen:

$$ENC_{Diode} = \frac{e}{q} \sqrt{\frac{q I_{dl} T_p}{4}}, \quad (2.7)$$

wobei I_{dl} der Leckstrom des Detektors ist.

Das gesamte Rauschen des Verstärkers setzt sich aus der quadratischen Summe der einzelnen Komponenten zusammen:

$$ENC = \sqrt{ENC_{1/f}^2 + ENC_{Kanal}^2 + ENC_{Bulk}^2 + ENC_{Diode}^2}. \quad (2.8)$$

Als Funktion der kapazitiven Last C_{load} am Vorverstärkereingang sieht das Gesamtrauschen wie folgt aus:

$$ENC(C_{load}) = ENC(C_{load} = 0) + m \cdot C_{load} \quad (2.9)$$

Dabei ist m die Steigung des Rauschens in Abhängigkeit von der Lastkapazität. Die Lastkapazität setzt sich eigentlich aus einer eventuell von außen angebrachten Detektorkapazität und der Gatekapazität zusammen. Da die Gatekapazität jedoch konstant ist, trägt sie zur Steigung m nichts bei. Das gesamte Rauschen zu kennen ist wichtig, da dieser Wert es erlaubt, die Qualität eines detektierten Signals zu beurteilen.

Bei der Messung des Rauschens des Ausgangssignals muß die Gleichtaktauslenkung (*common mode*) aller Kanäle beachtet werden. Bei diesem Effekt werden durch Einstreuung elektromagnetischer Wellen auf die Ausleseleitung sowie über die Widerstände in den Spannungszuführungen die Werte aller Kanäle um den gleichen Wert angehoben oder abgesenkt. Dies kann beim Betrachten eines einzelnen Kanals vom Eigenrauschen des Verstärkers nicht unterschieden werden. Daher muß für die Korrektur der Gleichtaktauslenkung der Schwerpunkt aller Kanäle eines Ereignisses von den ausgelesenen Kanälen subtrahiert werden, um nicht zu hohe Rauschwerte zu erhalten. Darauf wird in Kapitel 3 näher eingegangen.

2.2 Kontrollogik

Die Kontrollogik des HELIX 128 steuert die Schreib- und Lesevorgänge der Pipeline sowie die gemultiplexte Ausgabe der gespeicherten Signale in Abhängigkeit von den vorgegebenen Parametern. Sie gibt auch Monitorsignale aus, die es erlauben, die Funktion des Chips zu überwachen. Der Digitalteil des HELIX 128 wurde in der *Hardware*-Beschreibungssprache Verilog geschrieben und mit AMS-0,8 μ Standardzellen synthetisiert.

Für den Betrieb des Digitalteils sind mehrere digitale Signale notwendig. Diese werden alle auf die Sample-Clock (*Sclk*) synchronisiert. Mit der *Sclk* gibt man somit seine Betriebsgeschwindigkeit vor. Im späteren HERA-B Experiment wird dies ein zur *Bunchcrossing Clock* phasenverschobenes Taktsignal sein. Der nominelle Wert für die *Sclk* ist 10,4MHz. Wie bei allen anderen digitalen Signalen sind auch hier die Pegel CMOS-kompatibel, das heißt der logische Pegel 0 beträgt $-2V$ sowie der logische Pegel 1 $+2V$. Die Schreib- und Lesevorgänge in die Pipeline werden über Zeigerpositionen gesteuert. Es gibt ein Register, das die zu beschreibende Zelle in der Pipeline enthält (Schreibzeiger), sowie ein Register, das die auszulesende Zelle angibt (Triggerzeiger). Die beiden Zeiger werden jeweils mit einer *Sclk*-Periode in der Pipeline auf die nächste Zelle verschoben; erreicht ein Zeiger die letzte Spalte, wird er auf die nullte Spalte zurückgesetzt. Das Durchlaufen der beiden Zeiger durch die nullte Spalte wird zu Kontrollzwecken durch das Signal *writeMon* für den Schreibzeiger angezeigt, beziehungsweise durch *trigMon* für den Triggerzeiger. Diese beiden Signale gehen bei Durchlaufen des zugehörigen Zeigers durch die nullte Pipelinespalte jeweils für eine *Sclk*-Periode auf logisch eins. Der Abstand der beiden Zeiger ist die sogenannte *trigger latency*, das heißt diejenige Anzahl an *Sclk*-Perioden, die verstreichen, bis der zu einem gespeicherten Signal zugehörige Trigger eintrifft. Die *triggerlatency* wird durch die beiden Signale *notReset* und *notTRreset* eingestellt. Die Funktion dieser beiden Signale ist es, den Schreibbeziehungsweise den Triggerzeiger anzuhalten, falls sie auf logisch 0 liegen, und die Zeiger laufen zu lassen, falls sie auf logisch 1 liegen. Daher wird das Signal *notReset* zur Einstellung der Verzögerungszeit von null auf eins genommen, wobei auf die fallende Flanke der *Sclk* gesampelt wird. Nachdem die gewünschte Anzahl an *Sclk*-Perioden verstrichen sind, wird das Signal *NotTRreset* von null auf eins gelegt, wobei auch dieses auf die fallende Flanke der *Sclk* gesampelt wird. Dabei ist zu beachten, daß die einzustellende Verzögerungszeit um eine *Sclk*-Periode länger sein muß als die gewünschte. Abb. 2.9 zeigt eine Übersicht des zeitlichen Ablaufs der Einstellung der Verzögerungszeit. Falls beide Resetsignale auf logisch

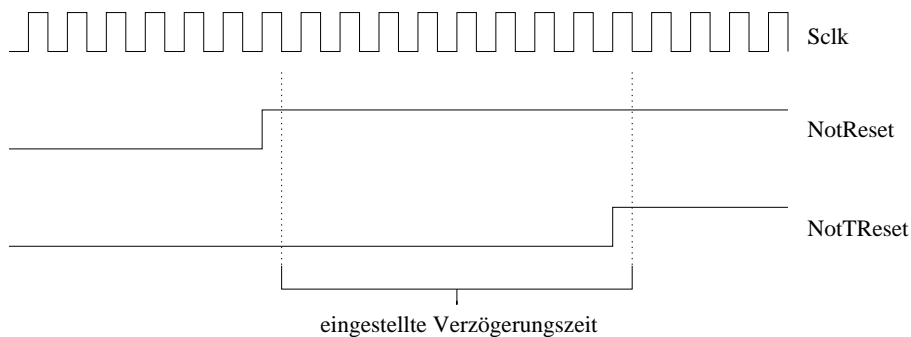


Abbildung 2.9: Zeitdiagramm der Einstellung der Verzögerungszeit

eins liegen, wird mit jeder fallenden *Sclk*-Flanke der am Ausgangstreiber des Verstärkers jedes einzelnen Kanals liegende Spannungswert in diejenigen Pipelinezellen geschrieben, auf der der Schreibzeiger steht. Falls nun ein entsprechendes Ereignis ausgelesen werden soll, das heißt, der First-Level-Trigger liefert ein Triggersignal, das zu diesem Ereignis gehört, so wird diejenige Pipelinespalte ausgelesen, auf die der Triggerzeiger zeigt. Das Triggersignal muß ebenfalls mit der fallenden Flanke der *Sclk* synchronisiert sein. Abb. 2.10 zeigt eine Übersicht der zeitlichen Lage des Triggers zum auszulesenden Signal.

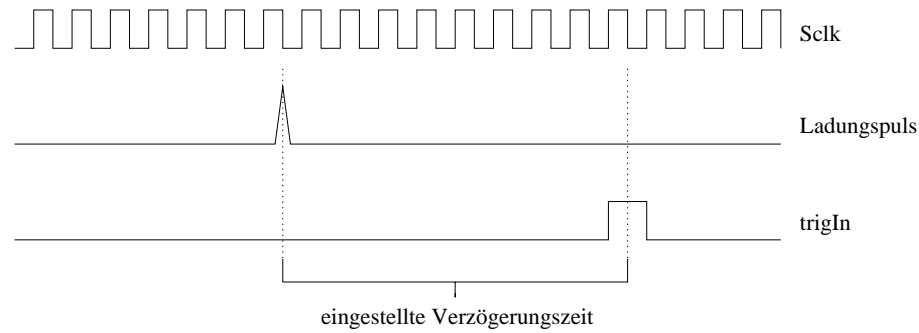


Abbildung 2.10: Zeitdiagramm der relativen Lage eines Ladungspulses und des zugehörigen Triggersignals

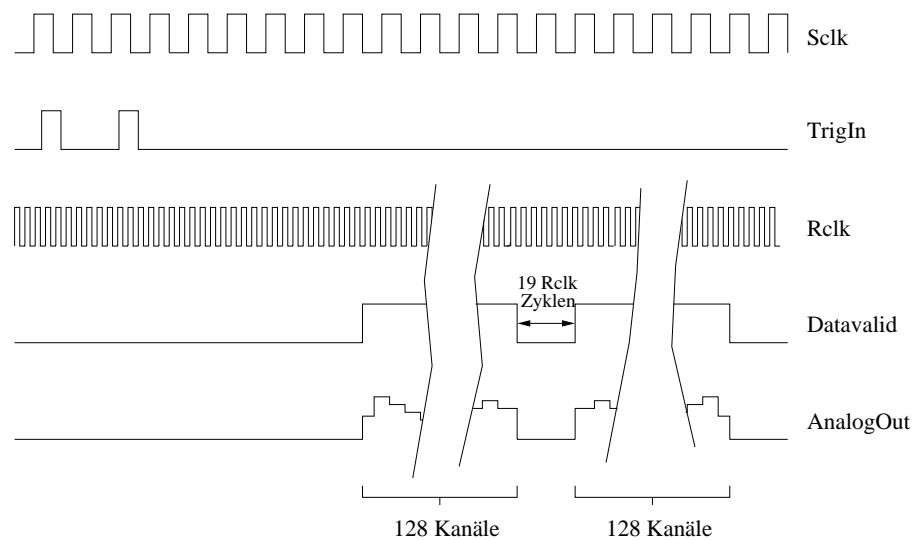


Abbildung 2.11: Zeitdiagramm mit zwei Triggersignalen und den zugehörigen analogen Ausgangssignalen. Der Beginn und das Ende der analogen Ausgabe wird durch *Datavalid* angezeigt.

Die serielle Ausgabe durch den Multiplexer wird mit der Readclock (*Rclk*) getaktet. Der nominelle Wert der *Rclk*-Frequenz beträgt 20MHz. Der Digitalteil überprüft den Wert des Signals *transmitEnable*, und gibt, falls dieses auf logisch 1 ist, die Werte einer Pipelinespalte, das heißt, die Werte der Kanäle 1 bis 128, die zu einem bestimmten Zeitpunkt gesampelt wurden, nacheinander aus. Somit kann die Ausgabe von Daten mit *transmitEnable* angehalten

werden. Durch das Signal *dataValid* wird die analoge Datenausgabe angezeigt. *dataValid* ändert seinen Wert von logisch 0 auf logisch 1 während der Ausgabe der einzelnen Kanäle. Abb 2.11 zeigt ein Zeitschema mit zwei Triggersignalen, die auf die fallende Flanke der *Sclk* gesampelt werden. Nach einer definierten Anzahl von *Sclk*- und *Rclk*-Perioden beginnt der Chip, die Signale der 128 Kanäle auszugeben, die zu dem getriggerten Ereignis gehören. Die Ausgabe dauert 128 *Rclk*-Perioden. Die Frequenz von *Sclk* und *Rclk* muß dabei nicht übereinstimmen.

Falls mehrere Triggersignale in einem kürzerem Abstand, als die Ausgabe von 128 Kanälen dauert, ankommen, werden die Pipelinespalten, die ausgegeben werden sollen, in einem Ausleseregister (*Multieventbuffer*) gespeichert und der Schreibzeiger überspringt dann diese Zellen, um ein Löschen der darin stehenden Werte zu vermeiden. Wenn die Daten des ersten getriggerten Ereignisses ausgegeben sind, werden nach einer definierten Anzahl von *Rclk*-Zyklen die Kanäle des nächsten Ereignisses ausgegeben. Das Ausleseregister kann auf diese Weise maximal vier Ereignisse zwischenspeichern. Man nennt dies die Größe des Multieventbuffers. Die Größe des Multieventbuffers bestimmt auch die maximale *Trigger latency*, in dem Fall des vorliegenden Chips beträgt sie also maximal 123 Pipelinespalten. Falls der Multieventbuffer voll ist, das heißt, wenn mehr als 4 Trigger innerhalb der Ausleseperiode eines Ereignisses ankommen, wird dies durch das Signal *fifoFull* angezeigt, welches dann solange auf logisch 1 geht, bis ein Ausleseregister frei ist. Abb. 2.12 zeigt ein Zeitschema mit mehreren Triggern sowie dem Signal *fifoFull*. Sämtliche Signalpads des HELIX 128 die für die Funktion des HELIX 128 notwendig sind, sind mit Beschreibungen im Anhang A in Tabellenform aufgelistet.

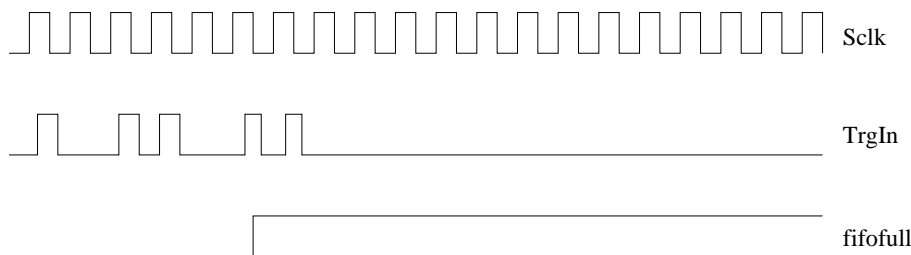


Abbildung 2.12: Zeitdiagramm mit mehreren Triggersignalen und dem Signal *Fifofull*

2.3 Pipeline

Die Pipeline des HELIX 128 besteht aus 128×128 Kapazitäten mit einem nominellen Wert von jeweils 850 fF . Diese werden mit jedem Taktzyklus der *Sclk* durch die Ausgangsspannung des Treibers aufgeladen und der eingeschriebene Ladungswert später durch den Pipelineverstärker ausgelesen. Wichtig für die spätere Interpretation der ausgelesenen Signale ist dabei die Variation der Kapazität der Kondensatoren, da bei der Auslese nicht bekannt ist, in welche Pipelinezelle das Signal geschrieben wurde. Vom Hersteller des Chips wird eine relative Variation der Kapazitäten auf diesem Chip von weniger als 0,16% angegeben [15].

2.4 Pipelineverstärker und Multiplexer

An die Pipelinekapazitäten schließt sich in der Auslekette der Pipelineverstärker, der Multiplexer sowie der Ausgangstreiber an. Der Pipelineverstärker ist ein geschalteter Ladungsverstärker mit gefalteter Kaskode mit einem Spannungssignal als Ausgang. Der Pipelineverstärker wird nach vier *ScIk* Zyklen zurückgesetzt. Der Resetschalter dafür wird vom Digitalteil angesteuert.

Der Multiplexer gibt alle 128 Spannungswerte, die zu einem festen, durch das Signal *Trigin* definierten Zeitpunkt am Ausgang des Pipelineverstärkers anliegen, zeitlich nacheinander aus. Dabei wird der Multiplexer von der *Rclk* getaktet. Die Kontrolle der Ausgabe geschieht durch den Digitalteil, der auch das logische Signal *Datavalid* generiert.

Um bei der Auslese der analogen Signale mögliche Einstreuungen durch elektromagnetische Wellen auf dem Chip zu eliminieren ist ein zusätzlicher Kanal herausgeführt, der die gesamte analoge Auslekette beinhaltet, jedoch nicht an ein Eingangspad angeschlossen ist. Dieser *Dummykanal* ist an das Pad *AnalogOutDummy* angeschlossen und es ist vorgesehen, daß dieser bei der Auslese des Chips von dem analogen Ausgangssignal abgezogen wird.

2.5 Testpulsgenerator

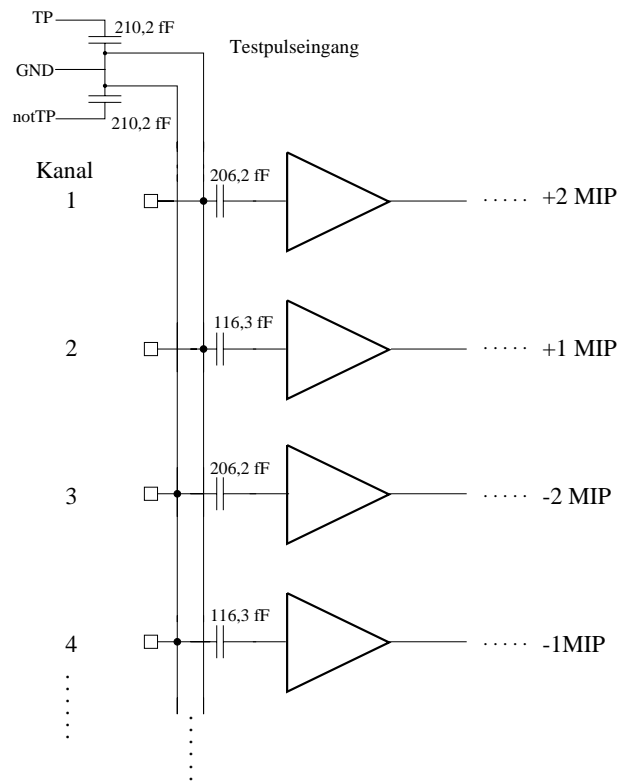


Abbildung 2.13: Skizze der Testpulsgeneratorschaltung; es sind die ersten vier Kanäle gezeigt

Um die Funktionsfähigkeit der gesamten analogen Auslekette des HELIX 128 zu testen sowie eine Eichung der Signalhöhe durchzuführen, besitzt der Chip die Möglichkeit auf alle Kanäle synchron eine Testladung einzukoppeln. Hierdurch wird ein Signalmuster erzeugt,

das durch ein von außen gegebenes Triggersignal ausgelesen werden kann. Dazu wird auf dem Chip über eine Koppelkapazität ein deltaförmiger Strompuls in den Vorverstärker eingekoppelt. Der Koppelkapazitäten vor jedem Vorverstärkerkanal bilden zusammen mit einer weiteren Kapazität einen kapazitiven Spannungsteiler. Abb. 2.13 zeigt eine Skizze der Schaltung. Die Koppelkapazitäten und der Spannungsteilerkondensator sind so dimensioniert, daß eine Spannungsstufe von $\Delta U=4V$ einen Ladungspuls von 1MIP auf den ersten Kanal, 2MIP auf den zweiten, -1MIP auf den dritten und -2MIP auf den vierten Kanal usw. inkoppelt. Die Symmetrie des Testpulses hat zur Folge, daß sich die Stromentnahme über die Masseleitung nicht verändert und somit kein globales Übersprechen über die Masse auf die Chi Eingänge zu erwarten ist, sodaß der Chip sich weiterhin in realistischen Betriebsbedingungen befindet.

2.6 Komparatoren

Die für den *First Level Trigger* wichtigen Komparatoren schliesen sich direkt an den Treiber der analogen Eingangsstufe des HELIX 128 (siehe Abb. 2.1) an. Abb. 2.14 zeigt den Schaltplan des Komparators. Es handelt sich bei dem hier verwendeten Typen um einen

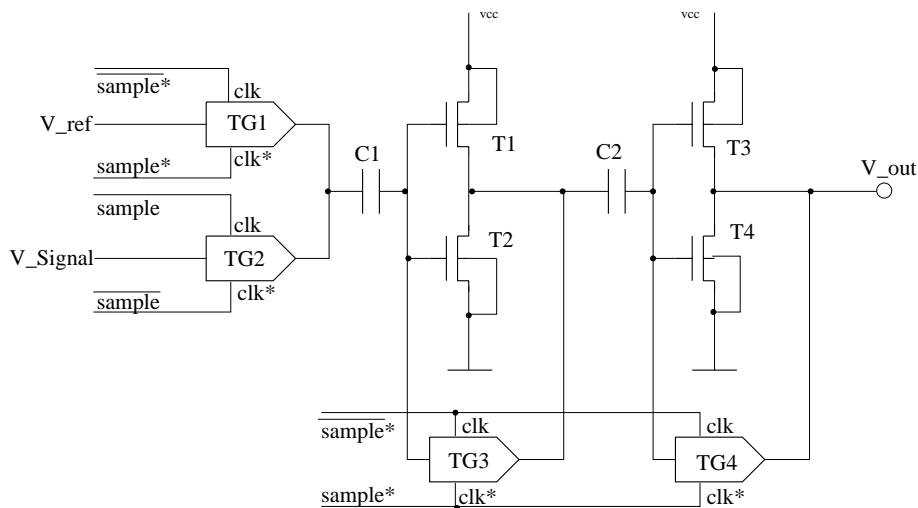


Abbildung 2.14: Schaltplan des Komparators im HELIX 128

geschalteten Komparator mit Gleichspannungsankopplung, der für einen 6-bit-Flash-ADC entwickelt [17] und in den HELIX 128 übernommen wurde. Er besitzt eine nominelle Betriebsfrequenz von 10MHz. Beim Betrieb des Flash-ADC ist es nicht vorgesehen, daß sich das Vergleichssignal bezüglich einer Referenzspannung während eines Taktzyklus verändert. Dies ist bei den Signalen, wie sie beim Einsatz des HELIX 128 vorkommen jedoch der Fall. Daher sind die weiteren Ausführungen für die Funktionalität der Komparatoren im Einsatz mit realistischen Detektorpulsen nicht unbedingt zutreffend.

Der Komparator wird mit zwei *clocks* betrieben, nämlich *sample* und *sample**. Die Phasen der Taktfrequenzen liegen so, daß während dem ersten Halbzyklus das *Transmission Gate* (TG) 2 gesperrt und TG1, TG3 sowie TG4 leitend sind. An der Kapazität C1 liegt die Spannung V_{ref} . Durch TG3 und TG4 liegen die Gates von T1 und T2 auf der gleichen Spannung V_{reset} , die sich aufgrund der Dimensionierung der FET einstellt. Die Kapazität

C1 wird dann mit der Spannungsdifferenz $V_{ref} - V_{reset}$ aufgeladen. Während dem zweiten Halbzyklus ist TG2 geöffnet, sowie TG1, TG3 und TG4 gesperrt. Dadurch fließt kein Strom von V_{signal} . Die Spannung an den Gates T1 und T2 wird durch das Signal, das an C1 anliegt, verschoben. Sie beträgt dann $V_G = V_{reset} + V_{signal} - V_{ref}$. Die Verstärkung dieser Spannung ist maximal, sodaß am Ausgang des Komparators zwei mögliche Spannungswerte anliegen können, nämlich:

$$V_{out} = +2V \quad \text{für} \quad V_G > V_{ref}$$

sowie

$$V_{out} = -2V \quad \text{für} \quad V_G < V_{ref}.$$

Zwei sich anschließende Registerstufen halten das digitale Signal von V_{out} für eine Taktperiode fest.

Jeweils 4 nebeneinanderliegende Komparatorausgänge sind durch ein logisches “Oder” verbunden, sodaß ein Triggersignal abgeleitet wird, falls auf mindestens einem der vier Kanäle ein Signal detektiert wird.

Kapitel 3

Messungen

Die in diesem Kapitel dargestellten Messungen wurden, falls nicht anders erwähnt, an Chips durchgeführt, die Ende Juni 1996 submittiert wurden.

3.1 Messaufbau

3.1.1 Anforderungen an den Aufbau

Um eine vollständige Charakterisierung des HELIX 128 durchführen zu können, muß der Chip mit allen für den Betrieb notwendigen Spannungen und Strömen sowie mit den digitalen Steuersignalen versorgt werden. Um das Verhalten des Chips bei verschiedenen Einstellungen beobachten zu können, mußten die Biasströme und -spannungen einstellbar sein. Gleichzeitig sollte die Möglichkeit bestehen auf die Chipeingänge Signale zu geben, wie sie später von einem angeschlossenen Detektor erzeugt werden. Auf der anderen Seite müssen die digitalen Antwortsignale des HELIX sowie das analoge Ausgangssignal beobachtet werden können.

Bei dem Aufbau war darauf zu achten, daß die beobachteten Signale, die der Chip liefert möglichst wenig vom Meßaufbau beeinflußt werden, um eine Verfälschung der eigentlichen Eigenschaften des Chips zu vermeiden. So war es für die Messung des Eigenrauschens des Vorverstärkers wichtig, die Einstreuung möglichst niedrig zu halten. Um eine Erhöhung des Rauschens durch die Versorgungsspannung zu vermeiden, mußten diese konstant und möglichst rauschfrei gehalten werden.

Um die Qualität des analogen Ausgangssignals beurteilen zu können, mußte dieses mit einem sehr schnellen Operationsverstärker verstärkt werden.

3.1.2 Realisierung

Einen schematischen Überblick über den Aufbau gibt Abb. 3.1. Der HELIX 128-Chip ist auf eine Tochterplatine geklebt und angebondet, die wiederum mit Hilfe von Stiftleisten auf eine Mutterplatine gesteckt ist. Dies erleichterte das Testen verschiedener Chips. Auf der Mutterplatine werden die Versorgungsspannungen sowie die Biasspannungen und -ströme generiert. Ebenso werden die digitalen Signale zugeführt und zum Teil konvertiert. Die vom Chip kommenden digitalen Signale werden vom Chip weggeführt und das analoge Ausgangssignal wird verstärkt. Die Mutterplatine wurde für die Messungen durch Flachbandkabel mit dem HP82000 Chiptester von Hewlett Packard verbunden, der die digitalen Signale für den Chip erzeugte sowie die digitalen Signale vom Chip analysierte. Gleichzeitig produzierte

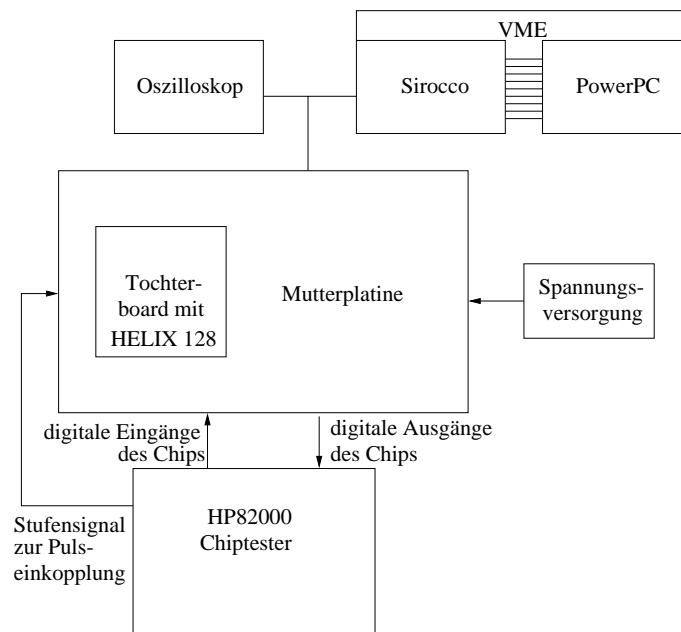


Abbildung 3.1: Schematischer Überblick über den Messaufbau

der Chiptester die Eingangssignale, die das Detektorsignal simulierten. Das analoge Ausgangssignal des HELIX 128 wurde mit einem digitalen Speicheroszilloskop beobachtet und vermessen, sowie mit einem Sirocco-Flash-ADC digitalisiert, der in einem VME-Rahmen mit einem CETIA PowerPC 601 betrieben wurde. Auf die Komponenten des Meßaufbaus wird nun im einzelnen eingegangen.

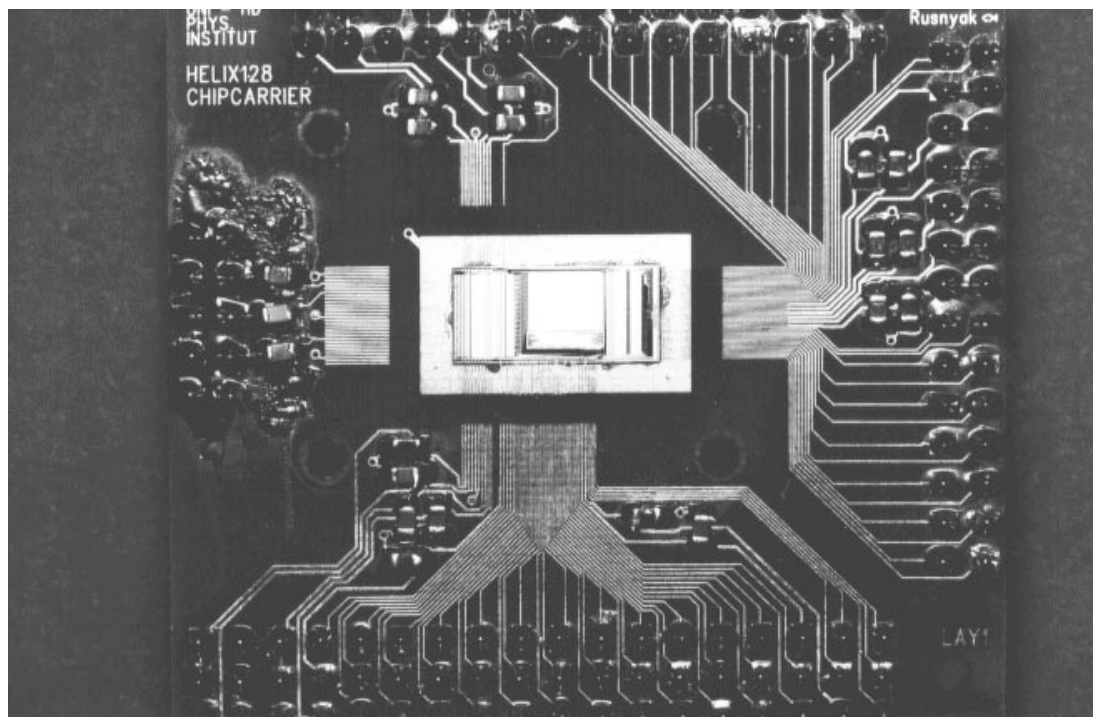


Abbildung 3.2: Foto des Tochterboards mit aufgeklebtem und angebondetem HELIX 128

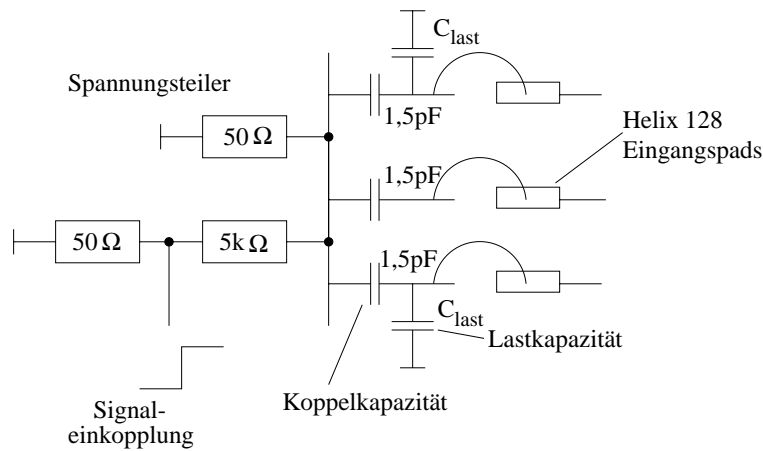


Abbildung 3.3: Schaltung der Koppel- und Lastkapazitäten am Eingang des Helix 128

Tochterplatine

Abb. 3.2 zeigt ein Photo der Tochterplatine. Sie hat eine Größe von $5,5 \times 5 \text{ cm}^2$ und besitzt Leiterbahnen aus Gold mit einer minimalen Breite von $100 \mu\text{m}$ und einem Abstand von $200 \mu\text{m}$. Das entspricht dem Abstand der Ausgangspads auf dem Chip. Der Chip wird auf eine Goldfläche in der Mitte der Platine mit Leitsilber aufgeklebt. Die Leiterbahnen aus Gold sind so angeordnet, daß sie den Pads des HELIX 128 gegenüberliegen und mit den Anschlüssen des Chips durch Bonden verbunden werden können. Die Goldfläche, auf der der Chip klebt ist mit der Versorgungsspannung $v_{ss} = -2\text{V}$ verbunden, um das Substrat des HELIX 128 auf das richtige Potential zu bringen. Die Leiterbahnen, die die Versorgungsspannungen zuführen, sind jeweils mit Kapazitäten von 100 nF gegen Masse geblockt. Dies soll die Welligkeit in den Spannungen noch weiter senken, da diese sich zum Beispiel stark in den gemessenen Rauschwerten niederschlagen würden. Auf der linken Seite der Tochterplatine sind die Koppelkapazitäten zu sehen, die aus einem Stufensignal ein δ -förmiges Stromsignal erzeugen. Dieses Signal ist einem Strompuls des Siliziumdetektors sehr ähnlich und sollte daher das Verhalten des HELIX-Vorverstärkers unter realistischen Bedingungen zeigen. Diese Kapazitäten wurden möglichst nahe an die Eingangspads des Chips gebracht, um die Einstreuung von Störsignalen zu minimieren. Abb. 3.3 zeigt schematisch, wie die Kapazitäten geschaltet sind. Auf der Oberseite sind drei Kapazitäten angebracht, auf der Unterseite der Platine ebenfalls drei, so daß sechs Kanäle angebondet werden können und auf diese gleichzeitig ein Signal gegeben werden kann. Zusätzlich kann an vier der sechs Kanäle eine Lastkapazität gelötet werden, aus Platzgründen sind dies oben beziehungsweise unten die beiden äußeren Kanäle. Die Lastkapazitäten wurden für die Rauschmessungen aufgebracht, bei den übrigen Messungen blieben die Lötstellen frei. Auf eventuell vorhandene parasitäre Kapazitäten, die durch die Geometrie der Leiterbahnen entstehen, wird im Abschnitt über das Rauschen näher eingegangen.

Die Tochterplatine ist mit Stiftleisten versehen, die es ermöglichen, verschiedene Tochterplatinen in die Mutterplatine zu stecken, um so mehrere Chips testen zu können. Auf der Tochterplatine ist zum Lichtschutz sowie zum mechanischen Schutz des Chips und der Bonddrähte eine Abdeckkappe aufgesetzt.

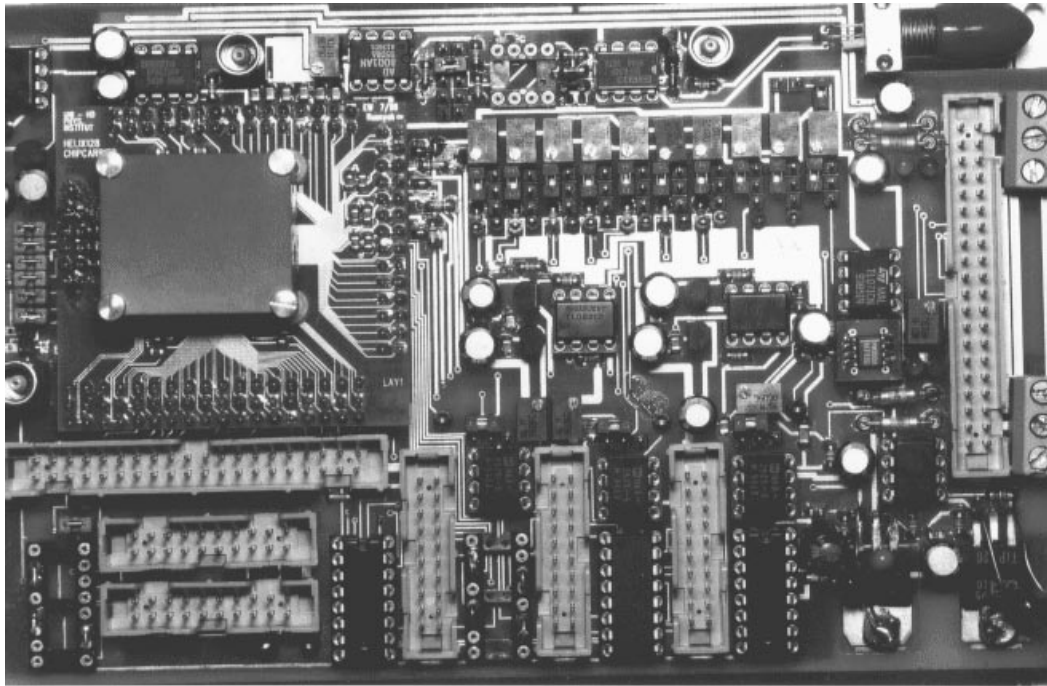


Abbildung 3.4: Aufsicht auf die Mutterplatine

Mutterplatine

Die Mutterplatine versorgt den HELIX 128 mit allen zum Betrieb nötigen Spannungen und Strömen. Dies sind die im Kapitel 2 erwähnten Biasströme und -spannungen, sowie die Versorgungsspannungen für den Chip. Abb. 3.4 zeigt eine Aufsicht auf das Board mit aufgesetzter Tochterplatine. Auf die Funktionskomponenten wird nun im einzelnen eingegangen. **Versorgungsspannungen, Biasströme und -spannungen** Die Versorgungsspannungen, die der HELIX 128 benötigt, werden auf der Mutterplatine durch Standardbauteile und -schaltungen erzeugt. Abb. 3.5 zeigt exemplarisch die Schaltung für die negativen Versorgungsspannungen v_{ss} , v_{sspa} und v_{ssa} . Die anderen Spannungen wurden äquivalent erzeugt. Aus den Versorgungsspannungen wurden durch Spannungsteilerschaltungen die Biasspannungen und -ströme generiert. Alle Spannungen und Ströme sind durch Kapazitäten gegen Masse geblockt. Dazu wurden jeweils parallel geschaltete Kondensatoren von $100nF$ und $33\mu F$ Kapazität verwendet.

Treiber für analoges Ausgangssignal Um das analoge Ausgangssignal des HELIX 128 zu untersuchen, muß die Differenz von *AnalogOut* und *AnalogOutDummy* von einem Operationsverstärker gebildet werden. Der passende Operationsverstärker sollte eine Bandbreite von mindestens 50MHz haben, da das Ausgangssignal des HELIX 128 eine Anstiegszeit von ca. 10ns bei einer Lastkapazität von 10pF besitzt. Der *Current Feedback* Operationsverstärker AD8001 [19] besitzt unter allen probeweise eingesetzten OPVs die günstigste Kombination aus empfohlenem Rückkoppelwiderstand und Eingangskapazität. Abb. 3.6 zeigt den Schaltplan des Treibers, mit dem die besten Ergebnisse gewonnen wurden. Der Ausgang des OPV ist zur Anpassung an den Wellenwiderstand des Koaxialkabels und des Oszilloskops mit 50Ω und 10pF abgeschlossen. Die Schaltung hat die Verstärkung zwei, so daß bei der Betrachtung des Ausgangssignals am Oszilloskop mit Abschluss 50Ω eine Gesamtverstärkung von

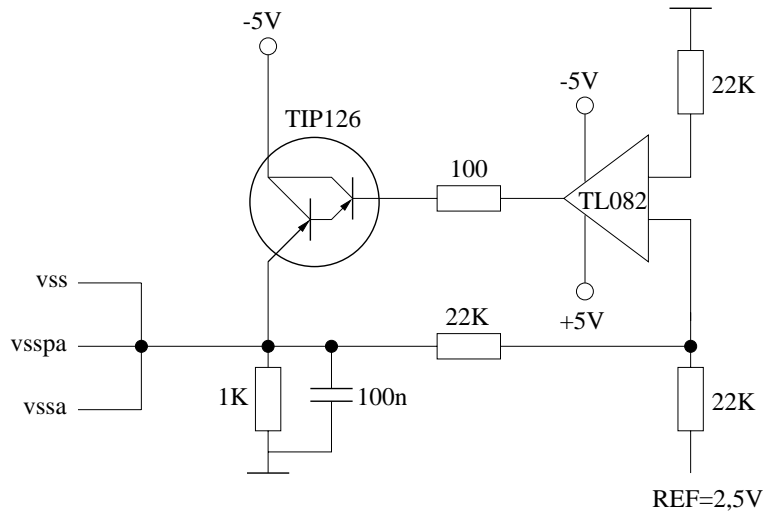


Abbildung 3.5: Schaltung zur Generierung der negativen Versorgungsspannungen v_{ss} , v_{sspa} und v_{ssa}

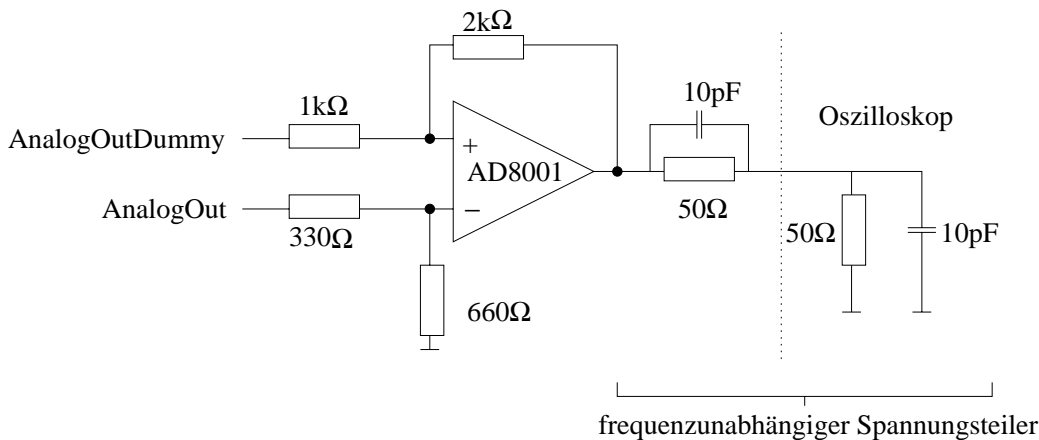


Abbildung 3.6: Beschaltung des AD 8001 mit Verstärkung 2; der Ausgang des OPV ist mit einem frequenzunabhängigen Spannungsteiler abgeschlossen, um Reflexionen zu vermeiden

eins erscheint. Bei der Beschaltung, wie sie hier genannt ist, wird das Signal *AnalogOut* von *AnalogOutDummy* abgezogen. Da der Helix 128 insgesamt invertierend verstärkt, sieht man am Ausgang des Treibers positive Eingangssignale des Chips als eine positive Spannungsänderung. Soll das analoge Signal über weitere Strecken geleitet werden, empfiehlt sich die Schaltung nach Abb. 3.7, um ein differentielles Analogsignal zu erhalten. In diesen beiden Fällen wird der Chip mit $1k\Omega$ beziehungsweise mit 500Ω belastet. Die Belastungsgrenze des HELIX 128 liegt bei ca. 300Ω .

Spannungsteiler für Signaleinkopplung Um die Einstreuung von Störsignalen auf den Spannungspuls, der an das Eingangspad des HELIX 128 gegeben wird, möglichst gering zu halten, ist ein Spannungsteiler direkt vor der Koppelkapazität angebracht. Der Abstand des Spannungsteilers zu den Koppelkapazitäten wurde jedoch so groß gewählt, daß ein Übersprechen auf den Chip nicht zu erwarten ist. Somit kann eine relativ große Spannungsstufe bis kurz vor den Chipeingang geführt werden, die dann vor der Koppelkapazität im Verhältnis 1:100 heruntergeteilt wird. Bei einer Koppelkapazität von $1,5pF$ und einem

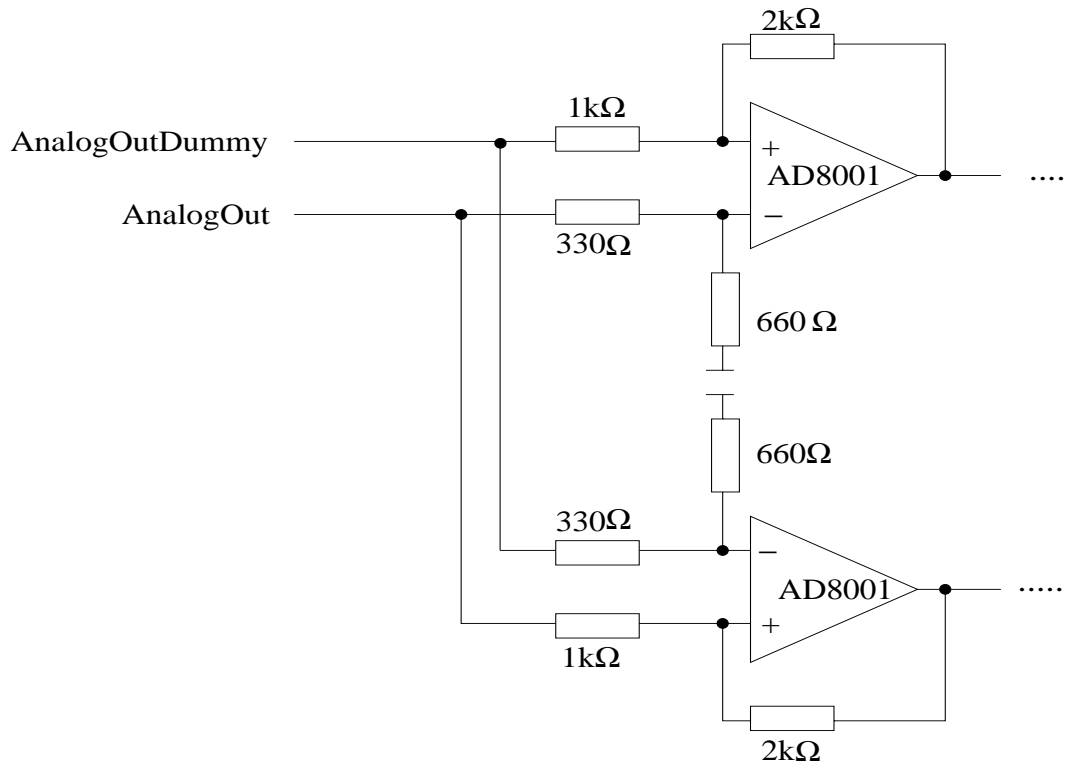


Abbildung 3.7: Treiberschaltung, die ein differentielles Signal erzeugt.

Abschlußwiderstand von 50Ω , der den Spannungsteiler terminiert, wird eine Spannungsstufe von $\Delta U = 512mV$ angelegt, was einem Ladungspuls von $Q=24.000$ Elektronen $\hat{=} 1MIP$ entspricht. Die Breite des Signals ist begrenzt durch die Anstiegszeit des Spannungsstufe, die an die Koppelkapazität angelegt wird sowie durch die Zeitkonstante des RC-Gliedes. In Abb. 3.3 ist die Spannungsteilerschaltung skizziert.

Pegelwandler für die digitalen Signale Ursprünglich war das *Testboard* dafür vorgesehen, mit TTL-Signalen betrieben werden zu können. Diese sollten durch die *Levelshifter*bausteine 26LS32 von $0V/+5V$ in $-2V/+2V$ umgewandelt werden. Diese Bausteine besitzen differentielle Ein- und Ausgänge. Um jedoch das Übersprechen der digitalen Signale auf den Analogteil des Chips untersuchen zu können, war es nötig, das invertierte Signal abschalten zu können. Daher wurden für die meisten Messungen die *Levelshifter*bausteine entfernt und die Signale direkt vom Chiptester mit den richtigen Pegeln generiert. Dies stellte keine Probleme dar, da sich mit dem Chiptester die Größe der Pegel frei einstellen läßt.

3.1.3 Chiptester

Der HP 82000 ist ein digitaler *Pattern*generator und besitzt in der benutzten Ausbaustufe 48 Kanäle, von denen 40 Kanäle eine Signalarate von bis zu $100Mbit/s$ und 8 Kanäle bis zu $400Mbit/s$ erzeugen können. Gleichzeitig kann jeder der Kanäle als Diskriminator geschaltet werden und somit digitale Signale bei einstellbarer Diskriminatorschwelle gemessen werden. Um die Signale dem Chip zuzuführen, wurde der Chiptester mit einem selbstkonfigurierten DUT-Board (**D**evice **u**nder **T**est) bestückt, das es ermöglichte, die Signale des Chiptesters zum Mutterboard und die digitalen Signale des Chips zum Chiptester über Flachbandkabel zu führen. Der maximale Ausgangsstrom des Chiptesters beträgt ca. 80 mA pro Kanal und

die Anstiegszeit bei einer Last von $10pF$ ist $< 3,5ns$ [20].

Der Chiptester wird über eine angeschlossene *Workstation* mit entsprechender Software programmiert und gesteuert. Es lassen sich Testvektoren mit einer maximalen Länge von $256kbit$ eingeben und diese wahlweise einzeln oder sich wiederholend ausgeben. Die Lage der ansteigenden und abfallenden Flanken der Signale zueinander lassen sich in $1ns$ -Schritten einstellen. Dies ist unter anderem wichtig, um eine genaue Einstellung des Samplezeitpunktes des Vorverstärkers vornehmen zu können. Gleichzeitig lassen sich die logischen Pegel zwischen $-4V$ und $+4V$ beliebig variieren, was dazu benutzt wurde, verschieden große Eingangssignale auf den HELIX 128 zu geben.

3.1.4 Sirocco Flash-ADC

Der Sirocco ist ein Analog-Digital-Wandler mit einer Auflösung von $10bit$. Er wird über ein VME-Bussystem mit Hilfe einer PowerPC-CPU angesteuert und ausgelesen. Der Auslesetakt für den Sirocco wird vom Chiptester vorgegeben. Die Software zur Auslese ist in C geschrieben und basiert auf Standardbibliotheken [21]. Der Sirocco wurde mit einer Taktfrequenz von 1 MHz betrieben. Es hat sich gezeigt, daß höhere Frequenzen zu Fehlern in der Digitalisierung führen.

3.2 Digitalteil

Die Untersuchungen am Digitalteil des HELIX 128 wurden zum größten Teil mit der Chiptester Software durchgeführt, sowie teilweise mit dem Oszilloskop. Dazu wurden die digitalen Signale in Form von Sequenzen, die in den Chiptester einprogrammiert wurden, auf den Chip gegeben. Alle Messungen wurden bei *Sclk*-Frequenzen von 500kHz, 10MHz sowie 20MHz durchgeführt. Laut Spezifikation des Chipherstellers sollte der Digitalteil auch bei weit höheren Frequenzen problemlos funktionieren, dies hätte jedoch einen optimierteren Testaufbau verlangt. Es wurde in der digitalen Funktionalität des Chips bis 20MHz *Sclk*-Frequenz keine Abhängigkeit von der *Sclk*-Frequenz beobachtet.

Die Taktfrequenz, auf die alle digitalen Signale des Chips synchronisiert werden, ist die *Sampleclock* (*Sclk*). Der Digitalteil erkennt ein Signal dann, wenn es zur fallenden Flanke der *Sclk* anliegt. Die Abfolge von logischen Steuersignalen, die auf den Chip gegeben wurden und die Antwortsignale, sind im folgenden aufgelistet:

- Ein *trigIn*-Signal liefert nach einer definierten Anzahl von *Sclk* und *Rclk*-Zyklen ein *DataValid*-Signal, das während 128 *Rclk*-Taktzyklen auf logisch 1 bleibt. Die genaue Anzahl von Taktzyklen, die verstreichen bis das *DataValid*-Signal erscheint, hängt vom Frequenzverhältnis der beiden *Clocks* ab.
- Fünf direkt aufeinander folgende *trigIn*-Signale ergeben als Antwort des Chips vier Auslesefiguren, deren Ausgabe durch ein *high* von *DataValid* angezeigt wird. Die *DataValid*-Signale sind bei einer *Rclk*-Frequenz von 20MHz und einer *Sclk*-Frequenz von 10MHz durch einen Abstand von 19 *Rclk*-Zyklen voneinander getrennt. Das fünfte Triggersignal geht verloren, da nur vier Ausleseregister zur Verfügung stehen. Das Signal *fifofull* geht während dem vierten Triggersignal auf logisch 1 (siehe Abb. 2.12).
- Falls das Signal *transmitenable* auf logisch 0 liegt, liefert ein Triggersignal kein *DataValid*-Signal als Antwort. Wird das *transmitenable*-Signal nach einem *trigIn*-Signal von

logisch 0 auf logisch 1 genommen, so beginnt die Ausgabe des analogen Ausgangs zwei *Rclk*-Zyklen danach.

- Die Signale *trigmon* und *writemon* zeigen den Durchgang des Triggerzeigers beziehungsweise des Schreibzeigers durch die nullte Pipelinespalte an. Der Abstand zwischen den beiden Signalen stimmt mit der eingestellten *triggerlatency* überein. Die maximal eingestellte Verzögerungszeit betrug 123 *Sclk*-Zyklen.

3.3 Analoges Ausgangssignal

Das analoge Ausgangssignal wurde bei verschiedenen Auslesefrequenzen untersucht. Dazu wurde der Chiptester im *repeat mode* betrieben, das heißt, die Testvektoren wurden wiederholend an die Eingänge des Chips angelegt. Es wurde mit jeder Wiederholung eines Testvektors die *Triggerlatency* eingestellt, ein Signal auf den Eingang eingekoppelt und dieses durch Vorgabe eines Triggersignals ausgelesen. Das analoge Ausgangssignal gibt somit die Pipelinezellenwerte aus einer definierten Pipelinespalte wieder. Abb. 3.8 zeigt ein typisches Auslesebild des HELIX 128 bei einer Auslesefrequenz von 500 kHz. Bei dem gezeigten Bild handelt es sich um die Differenz zwischen *AnalogOutDummy* und *AnalogOut*. An

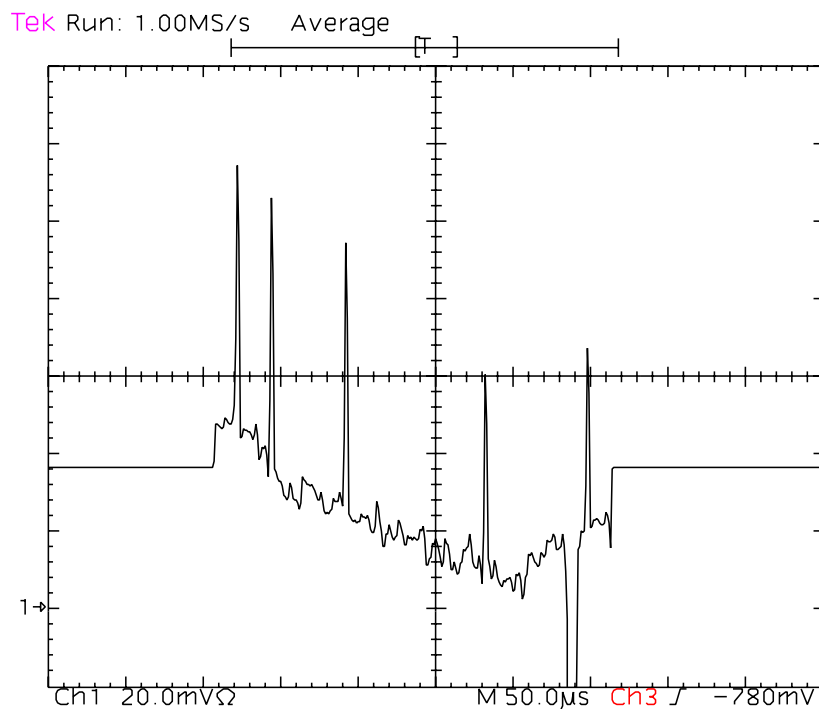


Abbildung 3.8: Analoges Ausgangssignal bei einer Auslesefrequenz von 500 kHz; auf 5 Kanäle wurde ein Signal von 24.000 Elektronen eingekoppelt (Einheit auf der Ordinate: 1 Abschnitt $\hat{=}$ 20mV)

dieser Auslesefigur sind mehrere Charakteristika zu erkennen:

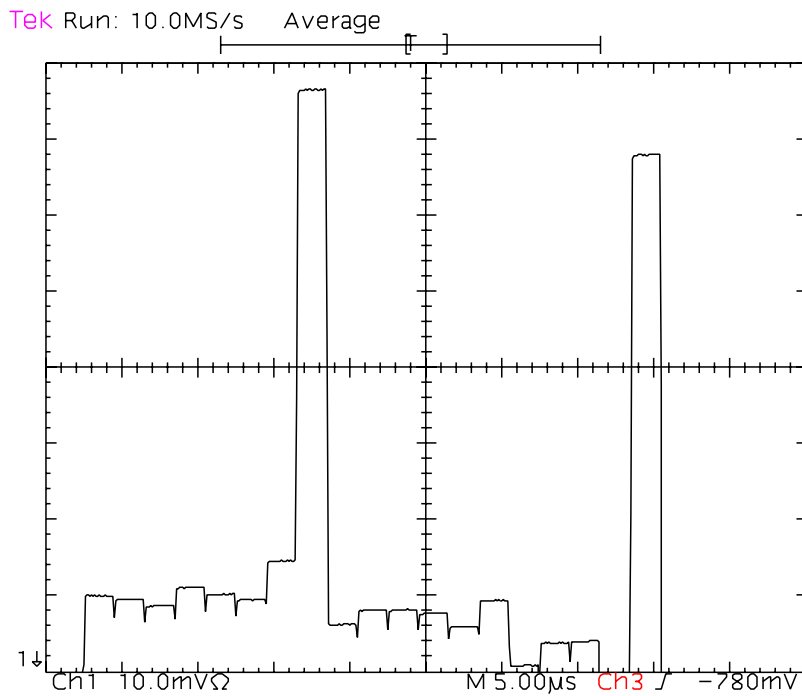


Abbildung 3.9: Vergrößerter Ausschnitt aus der Auslesefigur bei einer Auslesefrequenz von 500 kHz; die Breite eines Kanals entspricht $2\mu\text{s}$ (Einheit auf der Ordinate: 1 Abschnitt $\hat{=}$ 10mV)

- Auf fünf Kanäle wurde ein Signal von 24.000 Elektronen eingekoppelt. Diese Kanäle sind deutlich erhöht. Als durchschnittliche Verstärkung von 5 Kanälen wurde ein Wert von $(63 \pm 3) \frac{\text{mV}}{\text{MIP}}$ ermittelt. Der Fehler (Standardabweichung von 5 Kanälen) kommt im wesentlichen von der Streuung der Koppelkapazitäten. Die erwartete Variation der Verstärkung, die durch Prozeßvariationen auf dem Chip entsteht ist klein dagegen ($\leq 0,1\%$) [15].
- Die Differenz zwischen dem höchsten und dem niedrigsten Wert der ungebundenen Kanäle beträgt 25mV. Es hat sich beim Betrachten anderer Chips gezeigt, daß dieser Wert eine Obergrenze darstellt. Das heißt die Variation der Offsets über den gesamten Chip ist in der Regel kleiner. Die Variationen zwischen einzelnen benachbarten Kanälen ist kleiner 3 mV.
- An der rechten Seite der Auslesefigur in Abb. 3.8 erkennt man drei nebeneinanderliegende Kanäle, die ein großes negatives Signal anzuzeigen scheinen. Diese Kanäle sind bei diesem getesteten Chip defekt. Sie zeigen auch keinerlei Veränderung beim Anlegen eines Testpulses.
- Falls keine analogen Daten ausgegeben werden, beträgt die Differenz zwischen *AnalogOutDummy* und *AnalogOut* 35 mV. Dieser Wert läßt sich jedoch durch eine Offsetkompensation des Differenzverstärkers variieren.

- Abb. 3.9 zeigt einen vergrößerten Ausschnitt aus dem Auslesebild in Abb. 3.8. Man erkennt die einzelnen Kanäle, die getrennt sind durch ein kurzes Absinken der Ausgangsspannung. Dieses Absinken rührt von der Entladung der gemeinsamen Leitung, auf die die Signale der einzelnen Kanäle gegeben werden. Die gemeinsame Leitung ist über einen Widerstand mit Masse verbunden. In dem Zeitraum zwischen dem Aufschalten zweier benachbarter Kanäle herrscht ein Zwischenzustand, bei dem beide Schalter geöffnet sind. Dadurch sinkt das Potential kurzzeitig ab.

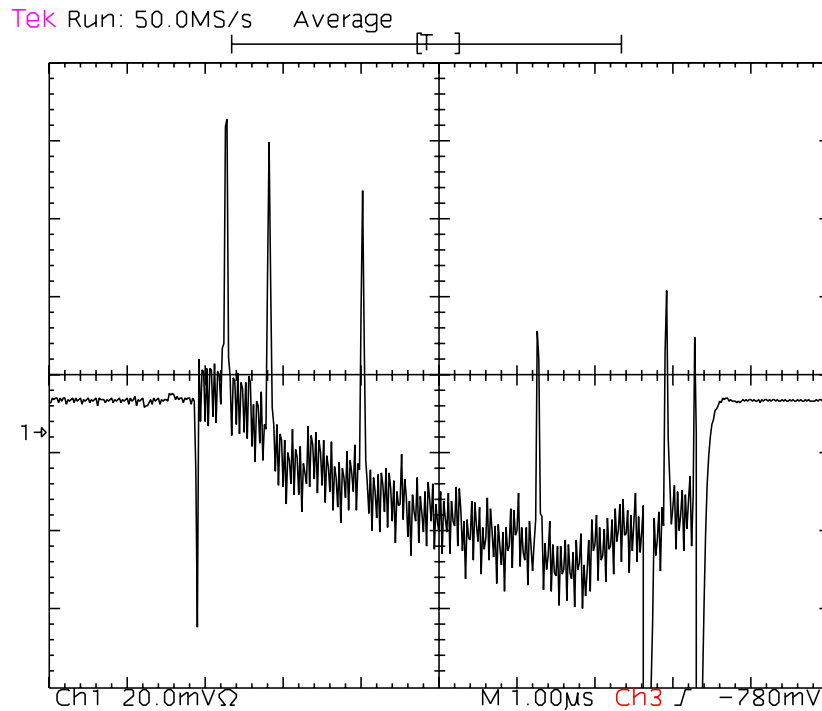


Abbildung 3.10: Auslesefigur bei einer *Rclk*-Frequenz von 20 MHz (Einheit auf der Ordinate: 1 Abschnitt $\hat{=}$ 20mV)

Abb. 3.10 zeigt einen Auslesebild mit einer *Rclk*-Frequenz von 20 MHz. Auch hier erkennt man die deutlich angehobenen Kanäle mit einem Signal von 1 MIP. In Abb. 3.11 sind vier Kanäle, von denen auf einen ein 1MIP-Puls eingekoppelt wurde, herausvergrößert. Man erkennt eine deutliche Plateaubildung auf dem angehobenen Kanal. Die Gesamtverstärkung des Chips bei dieser Auslesefrequenz ist identisch mit der bei niedrigen Frequenzen. Bei der Aufnahme dieser Auslesefiguren wurden für die Biaseinstellungen die Standardwerte verwendet. Der negative Spannungswert am Anfang und am Ende der Auslesefigur kommt von einem Zeitversatz der beiden Signale *AnalogOut* und *AnalogOutDummy*. Aufgrund von Laufzeitunterschieden im Multiplexer liegen die beiden Signale nicht genau zum gleichen Zeitpunkt am Ausgang des Chips an und es kommt bei der Differenzbildung kurzzeitig zu einem stark negativen Spannungswert.

Der Spannungswert der einzelnen Kanäle des analogen Ausgangssignals sollte proportional zu der in den Vorverstärker eingekoppelten Ladung sein. Um die Linearität zu überprüfen,

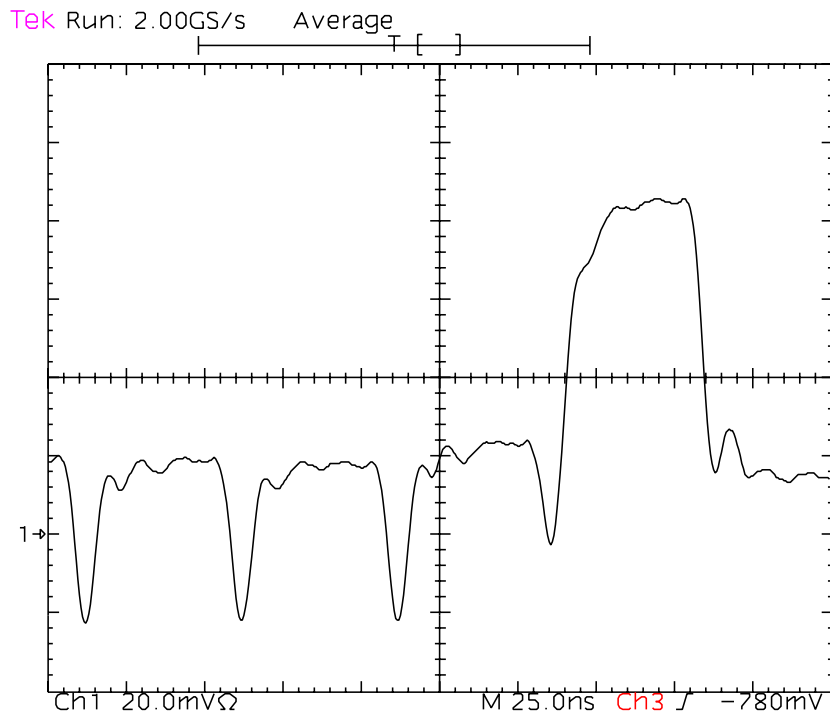


Abbildung 3.11: Ausschnitt aus der Auslesefigur bei einer $Rclk$ -Frequenz von 20 MHz; die Breite eines Kanals entspricht 50ns (Einheit auf der Ordinate: 1 Abschnitt $\hat{=}$ 20mV)

wurden Signale im Bereich zwischen -10 MIP und +12 MIP auf die gebondeten Kanäle gegeben und der Mittelwert der Spannungsänderung am Chipausgang über drei Kanäle gemessen. Abb. 3.12 zeigt die Amplitude des analogen Ausgangssignals als Funktion der eingekoppelten Ladung bei den Biaseinstellungen $I_{sha} = 120\mu A$ und $v_{fs} = 1,5V$. Es zeigt sich bei diesen Einstellungen im Bereich von -10 MIP bis +7 MIP keine Abweichung von der Proportionalität. Dabei wurde als Obergrenze eine Abweichung von 1% toleriert. Abb. 3.13 zeigt die Messung mit einem Shaperstrom von $200\mu A$ und der Biasspannung $v_{fs} = 0,8V$. Hier liegt der Linearitätsbereich zwischen -10 MIP und +5 MIP.

Durch Verschieben des Lesezeitpunktes der $Sclock$ relativ zum eingekoppelten Signal kann die korrekte Funktion der Ausleseketten sowie des Vorverstärkers überprüft werden. Dazu wird das Stufensignal, das über die Koppelkapazität auf den Vorverstärkereingang gegeben wird, in 10 ns-Schritten relativ zur $Sclock$ -Clock verschoben. Hiermit gibt das analoge Ausgangssignal je nach Lage von Eingangssignal zur Clockphase die Pulsform des Vorverstärkers wieder. Abb. 3.14 zeigt einen abgetasteten Puls. Dabei ist der Mittelwert der Amplituden von drei Kanälen des analogen Ausgangssignals wiedergegeben, aufgetragen gegen die relative Phase zur $Sclock$. Die Biaseinstellungen sind hier $I_{sha}=120\mu A$ und $v_{fs} = 0,8V$. Ein Vergleich der abgetasteten Kurve mit dem Ausgang des Testkanals zeigt die korrekte Funktion der Ausleseketten nach der analogen Eingangsstufe. Abb. 3.15 zeigt die gleiche Messung mit den Biaseinstellungen $I_{sha} = 200\mu A$ und $v_{fs} = 1,5V$. Die $Sclock$ war auf 10 MHz eingestellt.

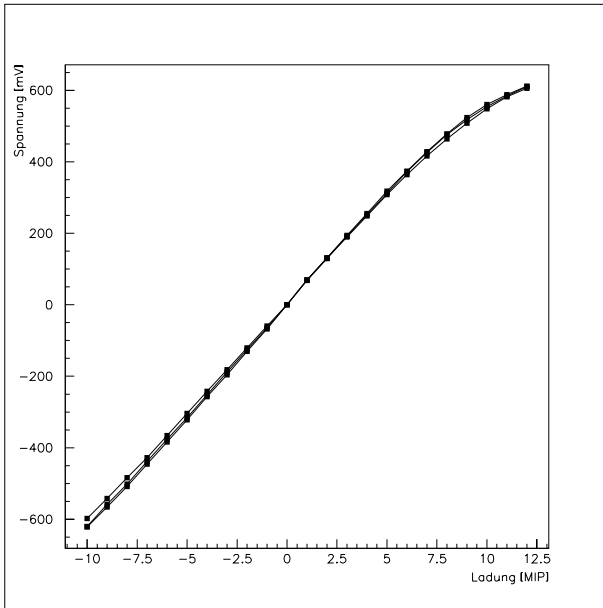


Abbildung 3.12: Amplitude des analogen Ausgangssignals als Funktion der eingekoppelten Ladung bei den Biaseinstellungen $I_{sha} = 120\mu A, v_{fs} = 1, 5V$

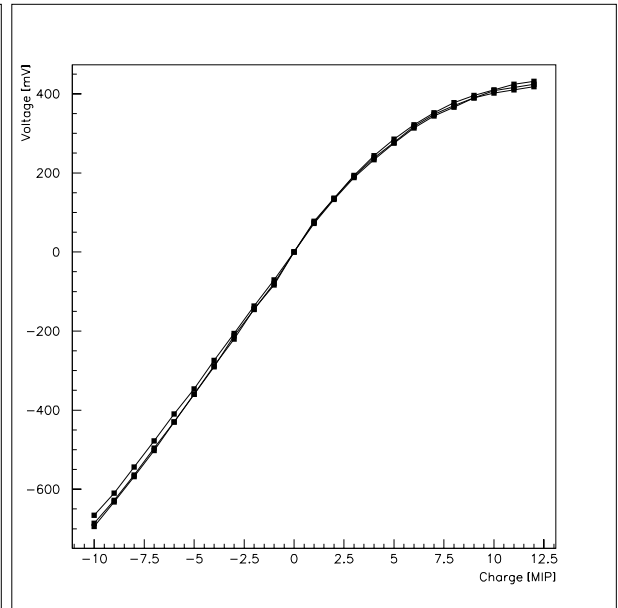


Abbildung 3.13: Amplitude des analogen Ausgangssignals als Funktion der eingekoppelten Ladung bei den Biaseinstellungen $I_{sha} = 200\mu A, v_{fs} = 0, 8V$

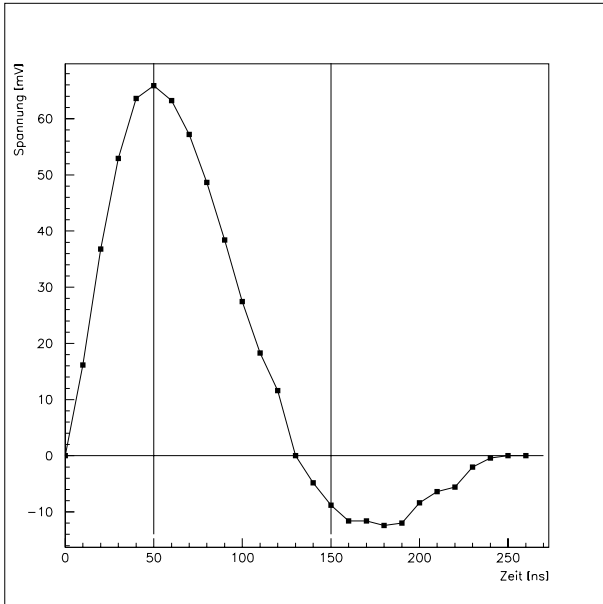


Abbildung 3.14: Abgetastetes Vorverstärkersignal bei den Biaseinstellungen $I_{sha} = 120\mu A, v_{fs} = 1, 5V$

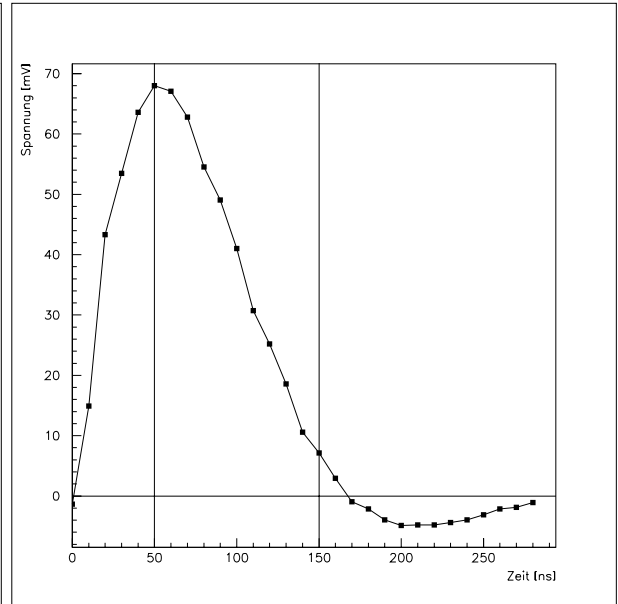


Abbildung 3.15: Abgetastetes Vorverstärkersignal bei den Biaseinstellungen $I_{sha} = 200\mu A, v_{fs} = 0, 8V$

3.4 Testpuls

Die Funktion des Testpulses wurde überprüft. Dazu wurde ein Stufenpuls zwischen -2V und +2V auf das Testpulspad gegeben. Das Triggersignal, das den Digitalteil veranlaßt das Testpulssignal auszulesen, ist um die *Triggerlatency* verzögert. Abb. 3.16 zeigt die ersten

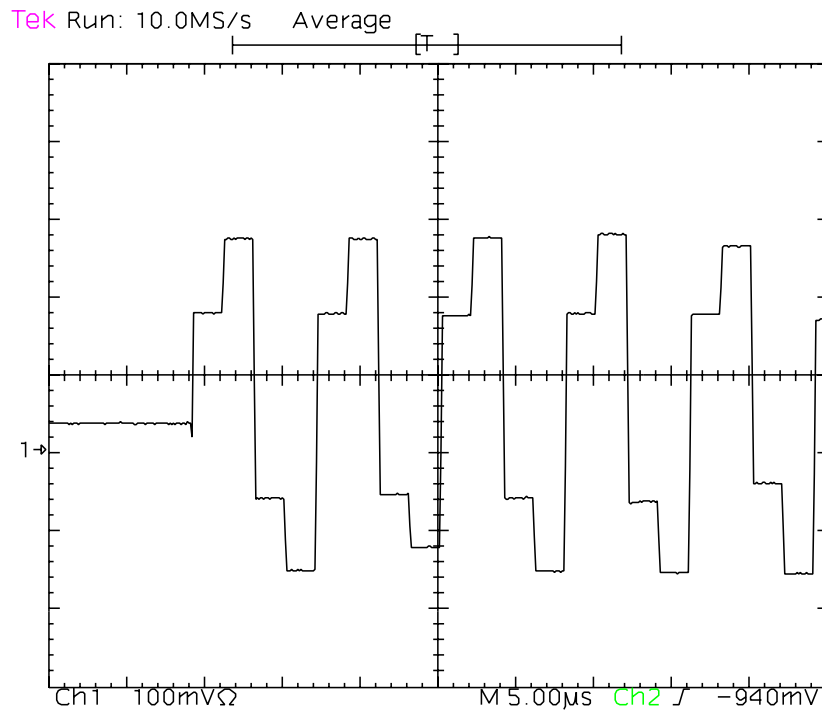


Abbildung 3.16: Ausschnitt aus dem analogen Ausgangssignal bei angelegtem Testpuls

20 Kanäle des analogen Ausgangssignals mit angelegtem Testpuls. Dabei ist auf den ersten Kanal ein Signal vom 2 MIP eingekoppelt, auf den zweiten 4 MIP, auf den dritten und vierten -2 MIP beziehungsweise -4 MIP und so fort (siehe Abb. 2.13). Mit Hilfe der Testpulsfunktion lassen sich defekte Pipelinezellen oder defekte Kanäle identifizieren. In Abb. 3.17 erkennt man beispielsweise einen Kanal (Pfeil), der ein Signal von -2 MIP anzeigen sollte. Der Wert dieses Signals ist bei angelegtem Testpuls unabhängig von der Pipelinezelle. Es muß sich somit um einen Defekt in der Verstärkerkette handeln. Weitere Charakterisierungen wie beispielsweise die Homogenität der Pipeline oder die gesamte Ausbeute an funktionierenden Chips sind das Ziel weiterer Tests.

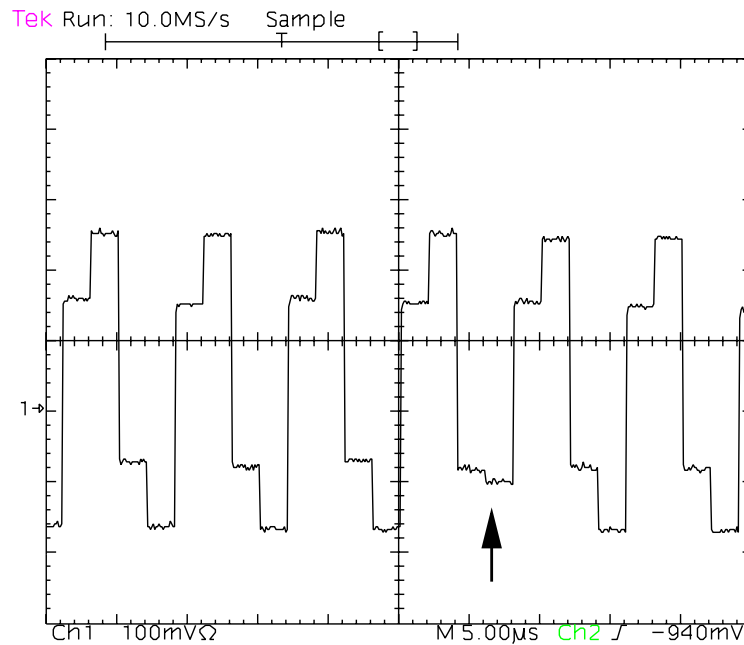


Abbildung 3.17: Ausschnitt aus dem analogen Ausgangssignal bei angelegtem Testpuls; der Pfeil markiert einen defekten Kanal.

3.5 Rauschen

Die Rauschmessungen wurden mehrfach wiederholt, jeweils mit verbessertem Meßaufbau. Im wesentlichen wurden dabei drei Eigenschaften des Messaufbaus optimiert:

- Alle Versorgungsspannungen und Biasströme wurden mehrfach mit Kapazitäten geblockt. Es hat sich gezeigt, daß eine Spannung, die nicht abgeblockt ist eine geringe Restwelligkeit besitzt und damit ausreicht, die Rauschwerte zu erhöhen.
- Bei der Messung des Eigenrauschens des Verstärkers, also ohne Einkopplung eines Signals, wurden alle gebondeten Eingangskanäle mit Masse verbunden und hinter der Koppelkapazität auf Masse gelegt. Diese Maßnahme soll eine mögliche Einstreuung über die Bonddrähte gering halten. Die Rauschwerte waren leicht erhöht wenn die Eingänge des Chips nicht mit Masse verbunden waren.
- Um die Einstreuung elektromagnetischer Wellen auf die Bonddrähte, den Chip selbst oder sensitive Bereiche der Treiberplatine so gering wie möglich zu halten, wurde der gesamte Testaufbau in einer kupferkaschierten Kiste untergebracht. Die Innenwände dieser Kiste sind alle elektrisch miteinander verbunden und geerdet. Die Eigenrauschwerte haben sich durch diese Maßnahme nicht stark geändert, jedoch wurde eine Erniedrigung der Gleichtaktauslenkung (*common mode*) beobachtet.

Die Rauschwerte wurden durch Bestimmung der mittleren quadratischen Abweichung von 1000 Ereignissen ermittelt. Um die Gleichtaktauslenkung zu unterdrücken (*common mode*

subtraction), wurde von den einzelnen Ereignissen j der Mittelwert aller Kanäle $\overline{x_j}$ gebildet. Dieser wurde von den Werten der einzelnen Kanäle eines Ereignisses abgezogen:

$$x_{ij}^0 = x_{ij} - \overline{x_j}. \quad (3.1)$$

Die Werte x_{ij}^0 besitzen somit keinen gemeinsamen *common mode* und variieren nur mit dem Rauschen des Verstärkers. Der gemittelte Werte der einzelnen Kanäle wird über alle Ereignisse berechnet

$$\overline{x_i^0} = \frac{1}{1000} \sum_{j=1}^{1000} x_{ij}^0 \quad (3.2)$$

und deren mittlere quadratische Abweichung σ_i bestimmt. Diese ist das eigentliche Rauschen des ausgelesenen Signals.

$$\sigma_i = \sqrt{\frac{1}{1000 - 1} \sum_{j=1}^{1000} (x_{ij}^0 - \overline{x_i^0})^2} \quad (3.3)$$

Um Variationen des Rauschens zwischen einzelnen Kanälen zu eliminieren wird der Mittelwert aller ungebondeten und nicht auffälligen Kanäle (das sind Kanäle, die offensichtlich defekt erscheinen) gebildet. Da die gemessenen Rauschwerte auf ADC-counts normiert sind, muß in einer zweiten Messung ein Signal eingekoppelt werden, das zur Eichung des AD-Wandlers benutzt wird. Hierzu wurde ein Signal von $1MIP$ ($\equiv 24.000e^-$) auf die *gebondeten* Kanäle eingekoppelt und die Rauschwerte nach Gleichung 2.3 berechnet.

Der größte Fehler in der Bestimmung des Rauschens entsteht durch die Ungenauigkeit der Kapazitäten der Koppel- und Lastkondensatoren. Diese systematische Fehlerquelle wurde durch Bestimmung der Kapazitäten mit einem RLC-Meter (Fluke PM6306) minimiert. Vom Hersteller des Gerätes wurde ein Fehler von $<2\%$ für die Kapazitätsbestimmung angegeben. Um die Zunahme des Rauschens als Funktion der Lastkapazität zu bestimmen, wurden drei Lastkapazitäten nach Schaltung 3.3 angebracht. Dies hatte zur Folge, daß die Rauschwerte mit Lastkapazität nur von drei der sechs angebondeten Kanälen bestimmt werden konnte. Auch bei diesen Messungen wurde das Rauschen der kapazitiv belasteten Kanäle ohne eingekoppeltes Signal gemessen, und anschließend die Verstärkung bestimmt, mit der der Rauschwert von ADC-counts in Elektronen umgerechnet wurde.

Bei der Bestimmung der Steigung des Rauschens als Funktion der kapazitiven Last wurde eine lineare Regression mit den Werten der belasteten Kanäle durchgeführt und die erhaltene Gerade so verschoben, daß sie den Rauschwert der ungebondeten Kanäle bei 0pF durchstößt. Der Grund dafür sind parasitäre Kapazitäten, die aufgrund des Schaltungsaufbaus den Verstärker belasten, deren Wert aber nicht von vorne herein bekannt ist. Er kann durch den Abstand zwischen der Rauschgerade, die die gebondeten Kanäle durchstößt und der verschobenen Gerade ermittelt werden. Beim Testaufbau für den HELIX 128 wurde dafür ein Wert von 1,13pF ermittelt. Da diese unabhängig von der angebrachten Lastkapazität sein sollten, bedingen sie eine Parallelverschiebung der Rauschfunktion. Diese parasitären Kapazitäten sind bei den ungebondeten Kanälen minimal, und man erhält mit den Werten von diesen Kanälen den korrekten *Offset*. Tabelle 3.1 zeigt die gemessenen Rauschwerte in Abhängigkeit von der Lastkapazität. Die Rauschwerte mit einer Lastkapazität $\neq 0pF$ sind die Mittelwerte von drei gebondeten Kanälen (bei dem Chip, der für diese Messungen verwendet wurde, war eine Lastkapazität mit dem Testkanal verbunden). Der Rauschwert zur Lastkapazität 0pF ist der Mittelwert aller ungebondeten und unauffälligen Kanäle. Zur Berechnung wurden die Werte mit Last verwendet. Der Achsenabschnitt wurde nach unten

Lastkapazität	gemessener Rauschwert	korrigierter Rauschwert
0pF	$405e^-$	-
1,5pF	$601e^-$	$515e^-$
5,3pF	$897e^-$	$811e^-$
6,5pF	$1002e^-$	$916e^-$
10,0pF	$1250e^-$	$1164e^-$

Tabelle 3.1: Rauschwerte des HELIX 128 als Funktion der Lastkapazität

Last	Kanal 8	Kanal 88	Kanal 121
1,5pF	$593e^-$	$598e^-$	$612e^-$
5,3pF	$943e^-$	$846e^-$	$902e^-$
6,5pF	$1118e^-$	$908e^-$	$980e^-$
10,0pF	$1213e^-$	$1252e^-$	$1285e^-$
Steigung	$74,8e^-/pF$	$76,2e^-/pF$	$78,8e^-/pF$

Tabelle 3.2: Unkorrigierte Rauschwerte der einzelnen Kanäle mit der jeweiligen Steigung

verschoben, was der Korrektur für die parasitären Kapazitäten entspricht. Die korrigierten Rauschwerte sind ebenfalls der Tabelle zu entnehmen. In Tabelle 3.2 sind die gemessenen Rauschwerte für die drei einzelnen Kanäle aufgeführt. Die Abweichung der Steigungen der Rauschwerte ist gering und zeigt, daß der statistische Fehler nicht sehr groß ist.

Abb. 3.5 zeigt die Rauschwerte als Funktion der Lastkapazität. Es ergibt sich für den HELIX 128 mit dem Vorverstärker HELIX 1.2 als Rauschfunktion

$$ENC = 405e^- + 76 \frac{e^-}{pF}.$$

Im Vergleich mit einer Rechnung stellte sich heraus, daß die Steigung dieser Rauschfunktion höher als erwartet ist. Die Ursache für die zu große Steigung im Vergleich zu dem simulierten Wert, der nur vom Rauschen des Vorverstärkers herrührt, sind die Schutzwiderstände hinter den Eingangspads des Chips. Nach Gleichung 2.6 setzt sich das Gesamtrauschen aus dem äquivalenten Rauschwiderstand R_{eq} des Eingangstransistors sowie dem in Serie geschalteten Schutzwiderstand zusammen:

$$ENC = 0,96 \cdot \frac{C_t \cdot e}{q} \sqrt{\frac{4kT}{T_p}(R_{prot} + R_{eq})}, \quad (3.4)$$

wobei sich der äquivalente Rauschwiderstand aus $R_{eq} = \frac{2}{3g_m}$ berechnet. Dabei ist R_{prot} der Wert des Serienwiderstandes, der zwischen Eingangspad und Vorverstärker geschaltet ist. Setzt man in Gleichung 3.4 für R_{prot} den Wert 324Ω ein, erhält man als berechnete Steigung des Rauschens $73,6 e^-/pF$. Dieser Wert stimmt im Rahmen der Meßgenauigkeit mit dem gemessenen Wert überein.

Dieser dient zusammen mit den Schutzdioden dazu, den Vorverstärker vor zu hohen Spannungen zu schützen, die durch Gasentladungen bei den Mikrostreifengaskammern vorkom-

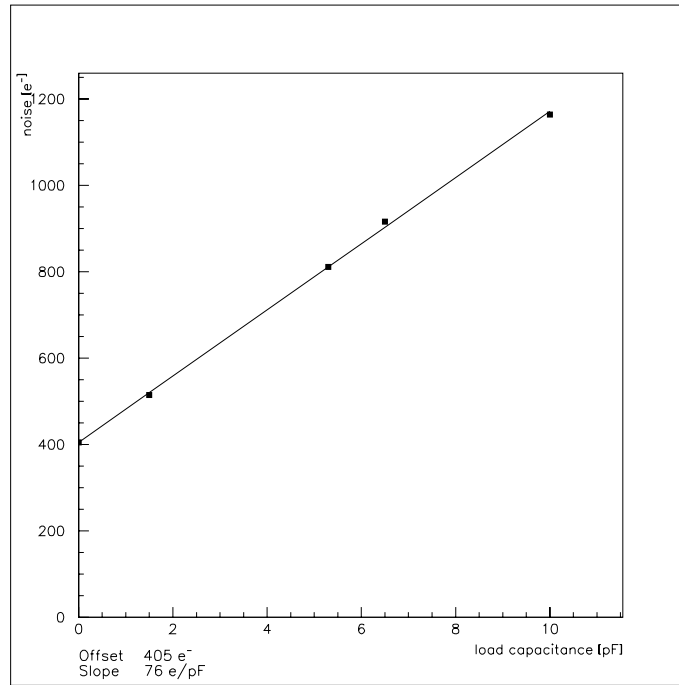


Abbildung 3.18: Rauschfunktion des HELIX 128

men können. Die Schutzwiderstände haben jeweils einen Wert von 324Ω . Um das eigentliche Rauschen des Vorverstärkers bestimmen zu können, wurden die selben Messungen am HELIX 32, einer Vorgängerversion des HELIX 128 ohne Schutzwiderstände durchgeführt. Dort ist im wesentlichen der gleiche Vorverstärkertyp integriert und auch der übrige Auslesepfad ist im wesentlichen identisch. Die Messungen wurden auf die gleiche Art wie beim HELIX 128 durchgeführt, ebenso die Auswertung. Tabelle 3.3 enthält die gemessenen sowie

Lastkapazität	gemessener Rauschwert	korrigierter Rauschwert
0pF	$365e^-$	-
1,8pF	$563e^-$	$466e^-$
3,3pF	$723e^-$	$626e^-$
10,0pF	$929e^-$	$832e^-$
22,0pF	$1682e^-$	$1585e^-$

Tabelle 3.3: Rauschwerte des HELIX 32 als Funktion der Lastkapazität

die korrigierten Werte, Abb. 3.19 den zugehörigen Graphen. Lineare Regression liefert für den HELIX 32 mit dem Verstärker HELIX 2.0 als Rauschfunktion

$$ENC = 365e^- + 52\frac{e^-}{pF}.$$

Dieser Wert stimmt mit dem berechneten Ergebnis ($51e^-/pF$) überein [10].

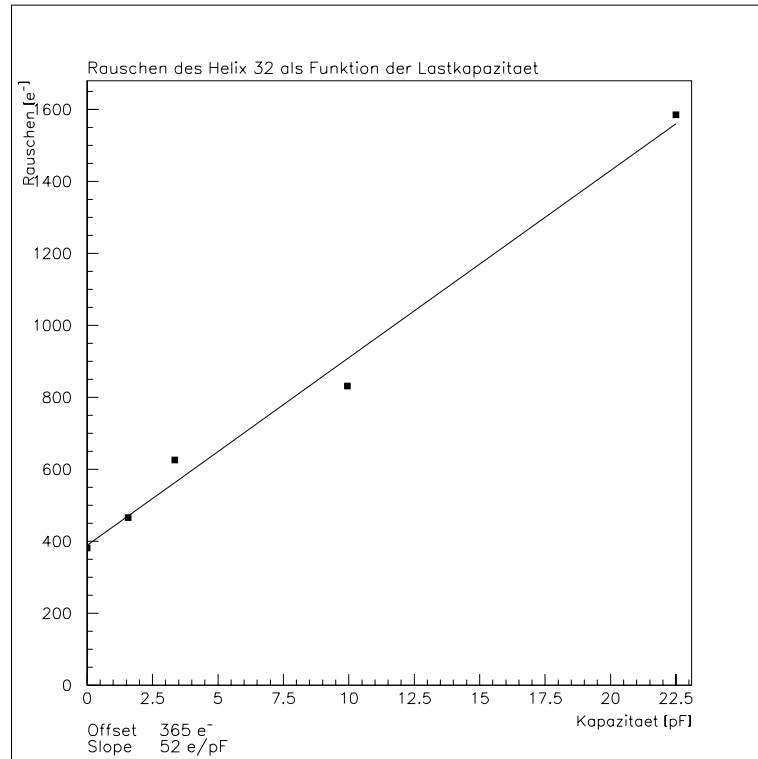


Abbildung 3.19: Rauschfunktion des HELIX 32

3.6 Messungen zur Pipelinehomogenität

Mit einem automatisierten Meßprogramm, das alle Pipelinespalten nacheinander ausliest wurde die Variation der Kapazitäten innerhalb der Pipeline abgeschätzt. Dazu wurde mit Hilfe der grafisch orientierten Steuersoftware VEE (Visual Engineering Environment) von HP die Testvektoren des Chiptesters so modifiziert, daß alle Pipelinespalten nacheinander beschrieben und mit dem Sirocco ausgelesen werden. Es wurden aus jeder Pipelinespalte 1000 Ereignisse ohne Signaleinkopplung ausgelesen, sowie mit Hilfe des Testpulsgenerators 1000 Ereignisse mit Signaleinkopplung [14]. Um eine Abschätzung für die Schwankung der Kapazitätswerte in der Pipeline zu erhalten, wurde die Standardabweichung der Werte aller Pipelinezellen eines festen Kanals bestimmt. Abb. 3.20 zeigt die Mittelwerte von 1000 Ereignissen eines festen Kanals als Funktion von der Pipelinezelle bei angelegtem Testpuls. Die y-Achse ist in ADC-Werten dargestellt, eine Eichung wurde durch eine Auslesesequenz ohne angelegten Testpuls durchgeführt. Als Eichwert ergibt sich $1\text{ADC} \hat{=} 0,37\text{mV}$. Mit einer Standardabweichung von $0,88\text{ADC}$ ergibt sich eine Variation des Ausgangssignal von $0,33\text{mV}$. Dies entspricht bei einem eingekoppelten Signal von 2MIP (Kanal 30) einer relativen Variation von $0,26\%$. Dieser Wert ist mit der vom Chiphersteller angegebenen zu erwartenden Variation von $0,16\%$ [15] zu vergleichen. Der vom Hersteller genannte Wert ist abhängig von der Größe der Kapazität und gilt nur für eine spezifizierte Umgebung. Daher ist die Übereinstimmung größenordnungsmäßig richtig.

Die Anzahl der Pipelinezellen, deren ausgelesener Wert mehr als 2ADC vom Mittelwert eines Kanals abweicht, wurde bestimmt. Diese Zellen zeichnen sich durch eine kleinere be-

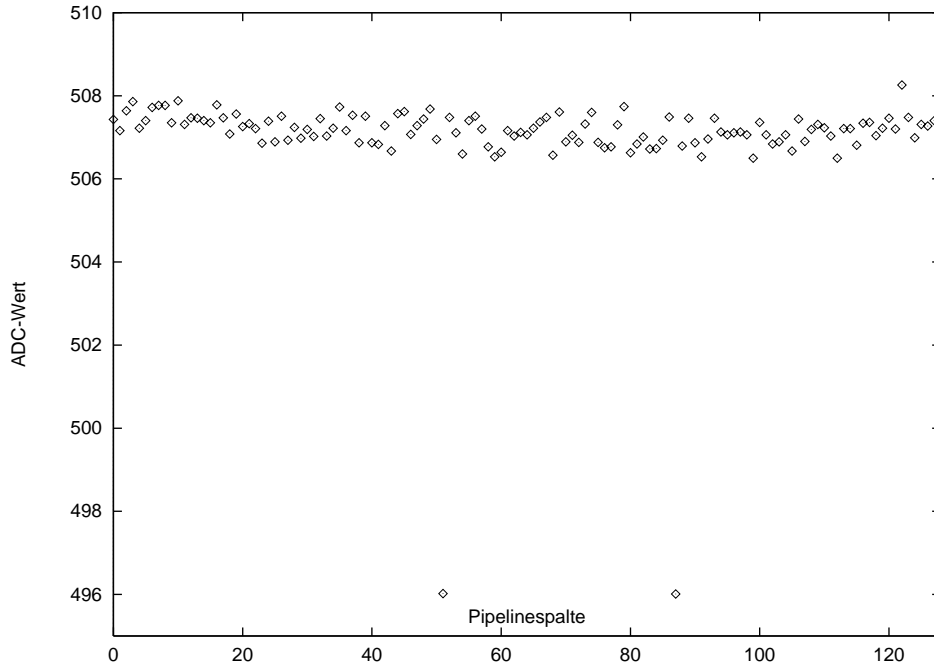


Abbildung 3.20: Normierte Auslesewerte eines festen Kanals (Nr. 30) über alle Pipelinezellen, 2 Pipelinezellen besitzen eine Kapazität, die mehr als 2ADC vom Mittelwert abweicht; die Ordinate ist in ADC geeicht ($170\text{ADC} \hat{=} 1\text{MIP}$)

ziehungswise größere Kapazität aus als nominell vorgegeben. Bei dem für diese Messung verwendeten Chip wurden 86 Pipelinezellen mit einer Abweichung des darin geschriebenen Signals von mehr als 2ADC bestimmt. Dabei wurden 5 offensichtlich defekte Kanäle nicht berücksichtigt. Daher beträgt der relative Anteil von Pipelinezellen mit abweichend erscheinender Verstärkung $\frac{86}{128 \times 123} = 0,5\%$.

3.7 Testkanal

Der Testkanal des HELIX 128 besteht aus dem Vorverstärker, dem Pulsformer, dem *Levelshifter* sowie dem Treiber. Er erlaubt somit, die Funktion des Verstärkers ohne die restliche Auslekette zu untersuchen. Da die Eigenschaften dieses Verstärkertyps schon genau untersucht sind, wurde hier nur ein reiner Funktionstest durchgeführt. Die Abb. 3.21, Abb. 3.22, Abb. 3.23 sowie Abb. 3.24 zeigen jeweils eine Schar von Pulsen, bei denen ein Parameter verändert wurde. Die übrigen Parameter wurden bei den Standardeinstellungen belassen. Man erkennt somit die Veränderung der Pulsform als Funktion der Parameter, die die Pulsform am stärksten variieren. Nähere Untersuchungen zum Verstärker findet man zum Beispiel in [7].

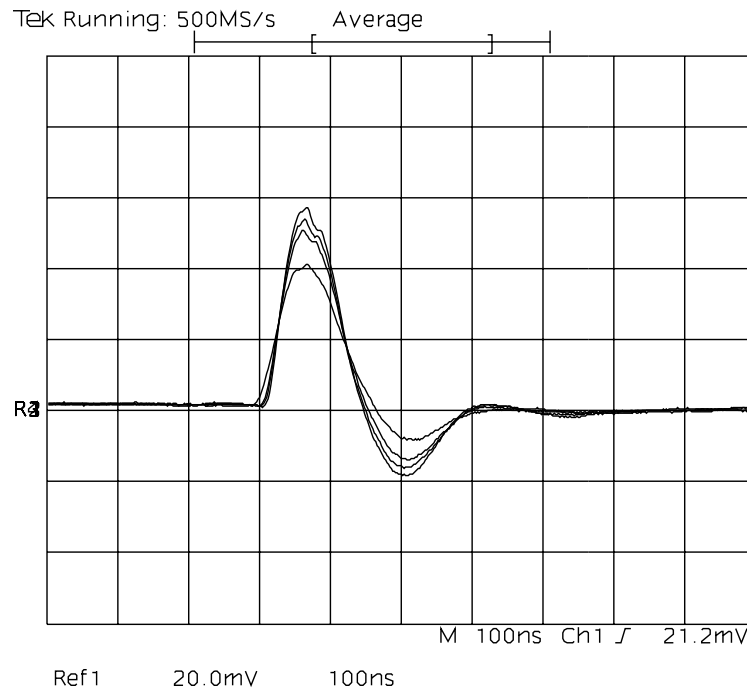


Abbildung 3.21: Pulsform der analogen Eingangsstufe nach dem Ausgangstreiber als Funktion des Biasstroms I_{pre} : $I_{pre}=50\mu\text{A}$; $100\mu\text{A}$; $150\mu\text{A}$; $200\mu\text{A}$. Der kleinste Biasstrom entspricht der Pulsform mit der kleinsten Amplitude.

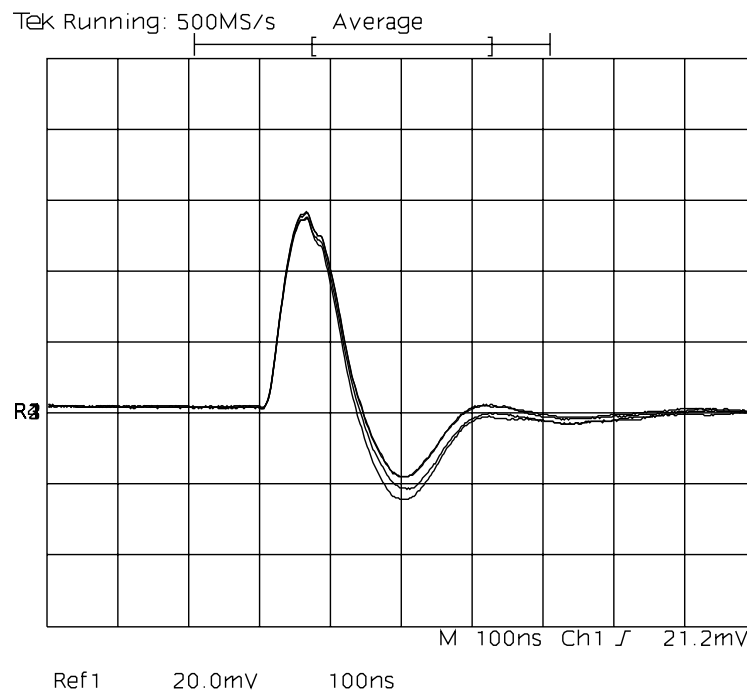


Abbildung 3.22: Pulsform der analogen Eingangsstufe nach dem Ausgangstreiber als Funktion der Biasspannung v_{fp} : $v_{fp}=1,0\text{V}$; $0,5\text{V}$; $0,0\text{V}$; $-0,3\text{V}$. Die kleinste Biasspannung entspricht der Pulsform mit dem kleinsten Unterschwinger

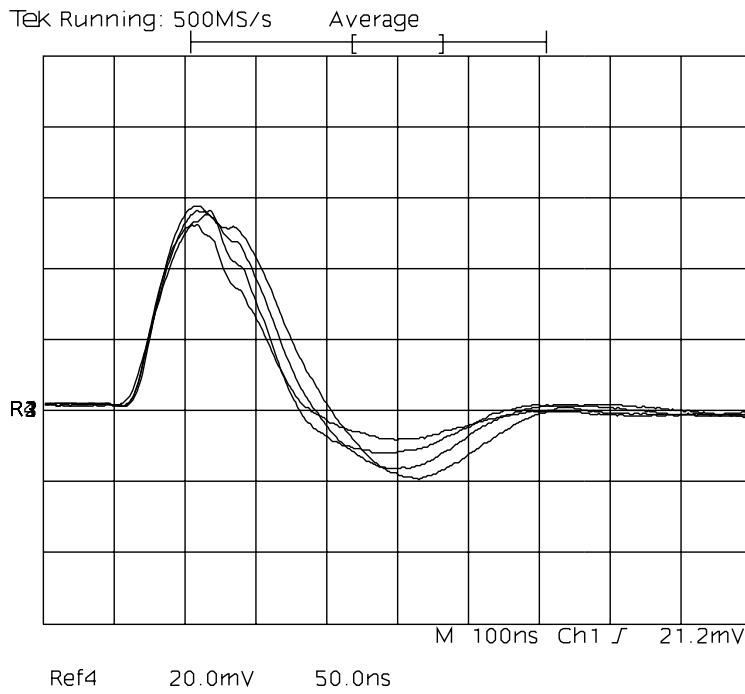


Abbildung 3.23: Pulsform der analogen Eingangsstufe nach dem Ausgangstreiber als Funktion des Biasstroms I_{sha} : $I_{sha}=80\mu\text{A}$; $120\mu\text{A}$; $200\mu\text{A}$; $300\mu\text{A}$. Der größte Biasstrom entspricht der Pulsform mit dem kleinsten Unterschwinger.

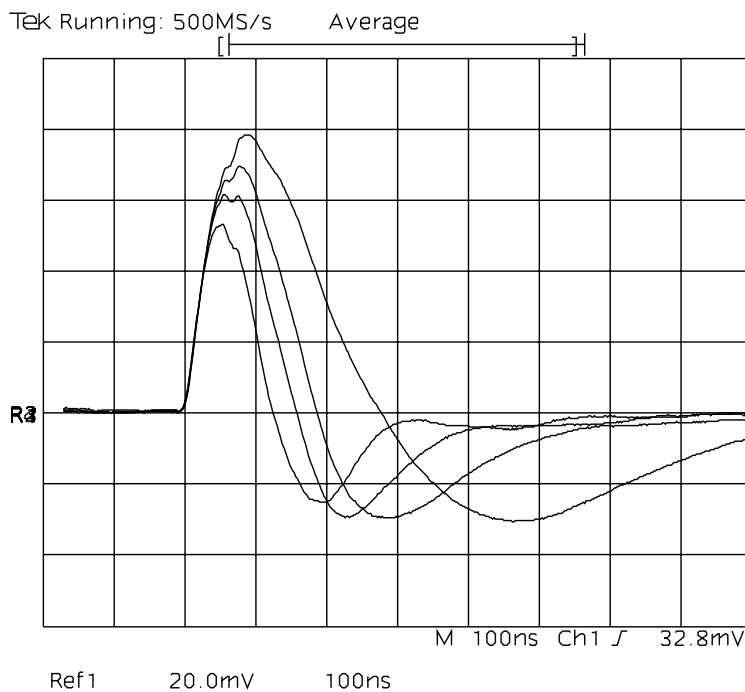


Abbildung 3.24: Pulsform der analogen Eingangsstufe nach dem Ausgangstreiber als Funktion der Biasspannung v_{fs} : $v_{fs}=1,5\text{V}$; $0,8\text{V}$; $0,5\text{V}$; $0,2\text{V}$. Die kleinste Biasspannung entspricht der längsten Pulsform.

3.8 Leistungsaufnahme

Die Leistungsaufnahme des HELIX 128 ist eine wichtige Größe, um den Aufwand für die Kühlung des Chips im Vakuum abschätzen zu können. Die elektrische Leistung, die der Chip für seinen Betrieb benötigt, wird zum einen durch die Größe der Biasströme bestimmt, zum anderen durch die Taktfrequenz des Digitalteils. Die Ströme, die über die einzelnen Versorgungsspannungen ab- beziehungsweise zufließen, wurden separat gemessen, um den Einfluß des Strommeßgerätes gering zu halten. Dazu wurde die Zuleitung der Spannungsversorgungen aufgetrennt und ein Strommeßgerät (Philips PM2525) in Reihe geschaltet. Der Einfluß des Meßgerätes auf die Funktionalität war gering, was durch die parallele Kontrolle des analogen Ausgangssignales sowie des Ausgangs des Testkanals beobachtet wurde. Beide Signale haben sich nur geringfügig geändert. Für die Interpretation der gemessenen Ströme und die Berechnung der Leistung ist es notwendig zu wissen, über welche Spannungsquellen die Ströme zu- und abfließen. Abb. 3.25 zeigt dies an. Die Versorgungsspannungen $vssa$,

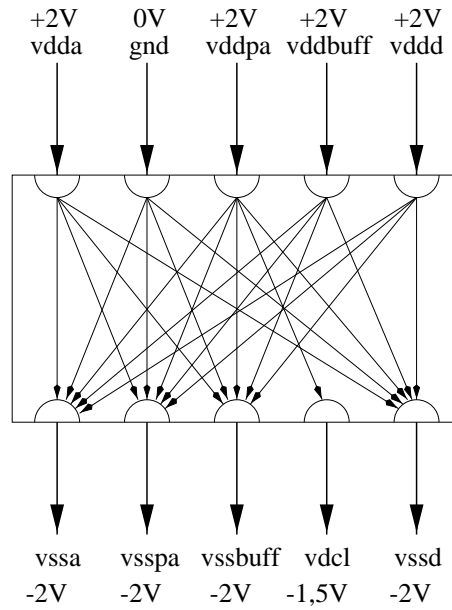


Abbildung 3.25: Schema der Stromrichtungen im HELIX 128

$vsspa$, $vssd$ und $vssbuff$ auf dem Chip untereinander verbunden sind. Gleichzeitig fließt ein Teil des Stromes, der über $vddpa$ in den Chip hineinfließt, auch über $vdcl$ sowie über $vssbuff$ ab. Tabelle 3.4 zeigt die gemessenen sowie die simulierten Werte der analogen Spannungsversorgungen¹. Es ist auch aus der Simulation zu erwarten ($< 0,05mA$) [10], daß er keinen Einfluß auf die Leistungsbilanz des gesamten Chips hat. Der Strom I_{vss} ist die Summe der Ströme I_{vssa} , I_{vsspa} und $I_{vssbuff}$. Der Wert für I_{vss} wurde bei zwei verschiedenen *Shaper*stromereinstellungen gemessen. Alle übrigen Werte wurden bei den Standardeinstellungen ermittelt. Der für den Digitalteil benötigte Strom wurde als Funktion der *Sclk*- beziehungsweise der *Rclk*-Frequenzen bestimmt. Es wird erwartet, daß ein linearer Zusammenhang zwischen der Taktfrequenz und der Leistungsaufnahme mit einem *Offset* bei abgeschalteten *Clocks* besteht. Dies hat sich bestätigt. Tabelle 3.5 zeigt die Strömstärken, die über die

¹Der Strom, der über $vddp$ beziehungsweise $vssp$ (Anschlüsse der Schutzdioden) fließt, war nicht meßbar

	Bezeichnung	$I_{gemessen}$	$I_{simuliert}$
I(vdda)	Vorverstärker	16,5 mA	19,2 mA
I(vddpa)	Pipelineverstärker	6,0 mA	5,1 mA
I(vddbuff)	Ausgangstreiber	11,3 mA	10,8 mA
I(vss)		80,4 mA 90,0 mA	75,8 mA ($ISHA = 120\mu A$) 86,1 mA ($ISHA = 200\mu A$)
I(dcl)	Kontrollspannung des Pipelineverstärkers	2,9 mA	1,3 mA

Tabelle 3.4: Ströme des Analogteils bei den Standardeinstellungen nach Tab. 2.1

$Sc\ell k$ -Frequenz	I_{vdd}
0 MHz	5,8 mA
5 MHz	6,3 mA
10 MHz	7,4 mA
20 MHz	9,0 mA

Tabelle 3.5: Ströme des Digitalteils (hier hat $Rclk$ die doppelte Frequenz von $Sc\ell k$)

Versorgungsspannung des Digitalteils vdd zufließen. Bei diesen Werten wurde $Rclk$ auf den doppelten Wert von $Sc\ell k$ eingestellt.

Die Leistungsaufnahme des gesamten Chips wurde mit den gemessenen Strömen berechnet. Tabelle 3.6 zeigt die Werte aufgeschlüsselt nach den verschiedenen Funktionselementen des Chips. Die Werte beziehen sich auf eine $Sc\ell k$ -Frequenz von 10 MHz sowie eine $Rclk$ -Frequenz von 20 MHz, sowie die Standardbiaseinstellungen. Dies entspricht realistischen Betriebsbedingungen. Für den gesamten Chip erhält man somit eine Leistungsaufnahme von 1,8mW/Kanal bei einem Shaperstrom von $120\mu A$, beziehungsweise von 2,0mW/Kanal bei einem Shaperstrom von $200\mu A$. Die gemessenen Werte sind mit den simulierten Stromstärken zu vergleichen. Die Abweichungen kommen von den Ungenauigkeiten in der Einstellung der Biasströme, von den Variationen der FET-Kenngrößen, die sich auf die Genauigkeit

Funktion	Leistungsaufnahme
Digitalteil	29,6 mW
Vorverstärker	140,4 mW ($ISHA = 120\mu A$) 169,4 mW ($ISHA = 200\mu A$)
Pipelineverstärker	13,9 mW
Ausgangstreiber	45,2 mW
Summe	229,1 mW ($ISHA = 120\mu A$) 258,1 mW ($ISHA = 200\mu A$)

Tabelle 3.6: Leistungsaufnahme des HELIX 128 bei $Sc\ell k=10\text{MHz}$ und $Rclk=20\text{MHz}$

der Stromspiegel auswirken, sowie von dem Spannungsabfall über dem Innenwiderstand des Messgerätes.

3.9 Tests von ungebondeten Chips

Um einen Eindruck über die Ausbeute der auf einem Wafer gefertigten Chips zu erhalten, wurden mehrere ungebondete Chips mit einer Nadelkarte qualitativ auf ihre Funktionsfähigkeit hin untersucht. Die Nadelkarte greift alle Kontrollpads außer den Komparatorausgängen ab und wird über Flachbandkabel mit dem Mutterboard verbunden. Dadurch wird auch das analoge Ausgangssignal wie bei den übrigen Tests auf dem Mutterboard verstärkt und kann am Oszilloskop betrachtet werden. Durch die unabgeschirmten Nadeln und durch Überkreuzungen von analogen Signalleitungen mit digitalen Signalleitungen kommt es zu sehr starkem Übersprechen auf das analoge Ausgangssignal. Dies hat sich zum einen in mehr oder weniger deutlichen *Peaks* auf der analogen Auslesefigur gezeigt, sowie in einer starken Erhöhung der Gleichtaktauslenkung. Aus diesem Grund wurden die Tests mit der Nadelkarte nur bei einer *Sclk*-Frequenz von 250kHz beziehungsweise einer *Rclk*-Frequenz von 500kHz durchgeführt. Es wurde jeweils eine definierte Pipelinespalte ausgelesen. Mit der *Average*-Funktion des Oszilloskops wurde der *common mode* so weit unterdrückt, daß die Funktionsfähigkeit des Chips beurteilt werden konnte. Die Funktion des Digitalteils wurde mit dem Chiptester überprüft.

Insgesamt wurden 25 Chips mit der Nadelkarte untersucht. Diese wurden in verschiedene Klassen eingeteilt, abhängig von der Zahl der funktionierenden Komponenten. Dabei stellte sich die Verteilung nach Tabelle 3.7 heraus.

Anzahl	Art der Funktionalität
10	Digitalteil voll funktionsfähig; nach Augenschein keine defekten Kanäle
10	Digitalteil voll funktionsfähig; 1–10 Kanäle defekt
1	Digitalteil voll funktionsfähig; mehr als 10 Kanäle defekt
1	Digitalteil voll funktionsfähig; kein analoges Ausgangssignal beobachtet
3	weder Digitalteil noch analoges Ausgangssignal funktionsfähig

Tabelle 3.7: Klassifizierung der mit der Nadelkarte getesteten Chips

3.10 Komparatoren

Die Charakterisierung der Komparatoren auf dem getesteten HELIX 128 wurde nur qualitativ durchgeführt. Dazu wurden die für den Betrieb der Komparatoren notwendigen beiden Taktfrequenzen *sample* und *sample** an den Chip angelegt und der Ausgang der Komparatoren in Abhängigkeit von den eingekoppelten Signalen und der Komparatorschwelle V_{ref} beobachtet. Zuerst wurde die relative Phasenlage der beiden *Clocks* untereinander und relativ zu dem eingekoppelten Ladungspuls so variiert, daß bei einem konstanten Wert der Referenzspannung eine maximale Triggerrate erreicht wurde. Abb. 3.26 zeigt das Tastverhältnis von *sample* und *sample** sowie deren Phasenlage zur *Sclk*, zum eingekoppelten Signal sowie zu

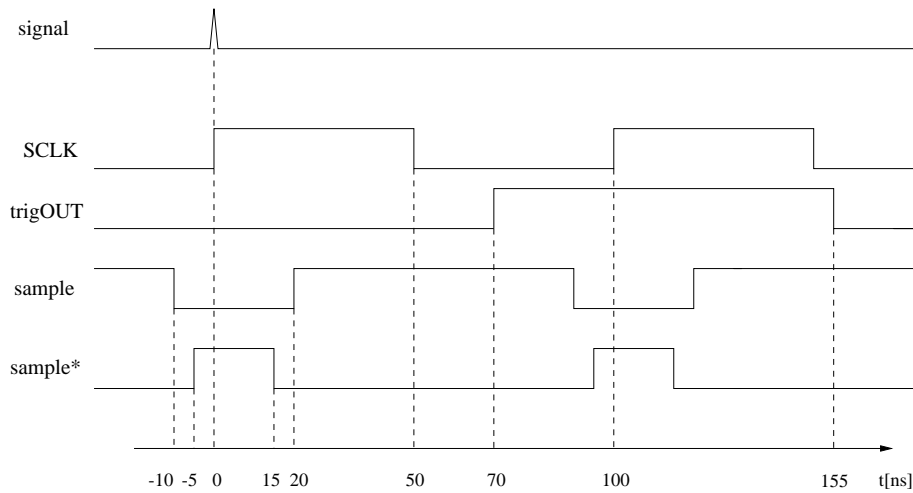


Abbildung 3.26: Relative Phasenlage der Taktfrequenzen des Komparators zum eingekoppelten Ladungspuls sowie zum Ausgang des Komparators. Die Biasströme und -spannungen des Verstärkers sind auf die Standardwerte eingestellt.

dem ausgegebenen Triggersignal. Mit diesen Einstellungen wurden alle weiteren Messungen durchgeführt. Eine sehr wichtige Größe, die die Effizienz der Komparatoren qualifiziert, ist die Fehltriggerrate in Abhängigkeit von der Komparatorschwelle. Die Fehltriggerrate wird durch das Rauschen des Verstärkers verursacht. Sie wird höher, je geringer der Abstand zwischen der Referenzspannung und dem zu vergleichenden Signal ist. Die Messung dieser Fehltriggerrate war jedoch nicht möglich. Dies lag an der Totzeit des Komparators von zwei Taktzyklen, die nach jedem ausgegebenen Triggersignal auftrat.

Für den Test wurde ein Komparatorausgang gewählt, bei dem auf einem der vier durch ein logisches “Oder” verbundenen Kanäle ein Signal gegeben wurde. Die Referenzspannung wurde so eingestellt, daß sie groß ist, wie die Ausgangsspannung des Verstärkers. Damit sollte, bedingt durch das Rauschen des Verstärkers, die Triggerrate maximal sein, das heißt, die zu vergleichende Ausgangsspannung der Treiberstufe sollte statistisch verteilt größer oder kleiner als die Referenzspannung sein. In Abb. 3.27 ist der Ausgang eines Komparators bei maximaler Triggerrate dargestellt, bei dem auf einem der vier verbundenen Kanäle ein Signal von 2MIP eingekoppelt ist. Die Komparatorschwelle ist dabei auf $V_{comp} = -340mV$ eingestellt. Man erkennt deutlich Taktzyklen, während denen der Triggenerausgang auf logisch 1 liegt, die gefolgt sind von zwei Taktzyklen, die auf logisch 0 liegen. Diese Totzeit von zwei Taktzyklen machte es unmöglich, die genaue Fehltriggerrate als Funktion der Komparatorschwelle zu bestimmen, da das Maximum der Triggerrate nicht festgestellt werden kann. Abb. 3.28 zeigt die Triggerrate eines Komparatorausgangs als Funktion der Komparatorschwelle. Es wurde ein Signal von 2MIP in einen der auf diesen Komparatorausgang verbundenen Kanäle eingekoppelt. Die Komparatorschwelle wurde im Bereich des Verstärkerausgangs variiert. Man erkennt bei einem Drittel der Taktfrequenz von 10MHz eine Plateaubildung, die von der Begrenzung der Triggerate aufgrund der Totzeit herrührt. Die Totzeit trat bei niedrigen Komparatortaktfrequenzen (1MHz) nicht auf. Es ist geplant, bei einer Folgesubmission den Komparator auf dem HELIX 128 durch einen Differenzverstärker zu realisieren.

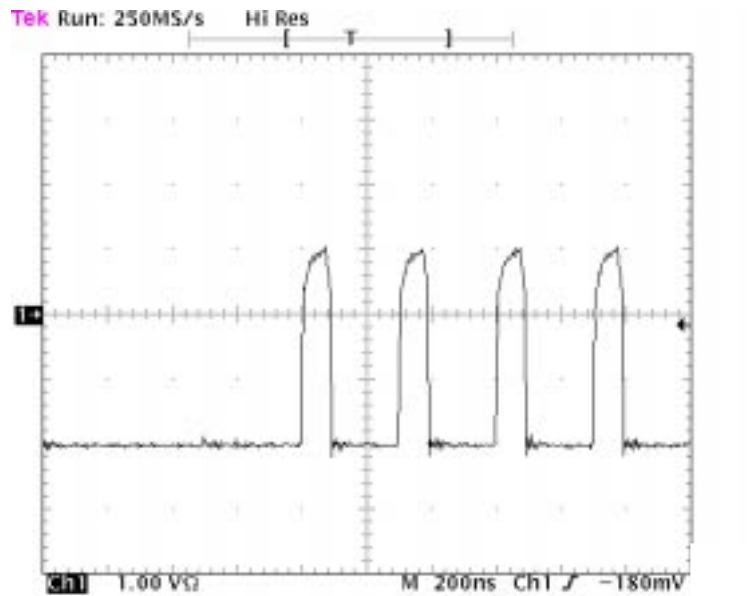


Abbildung 3.27: Ausgang eines Komparators bei maximaler Triggerrate

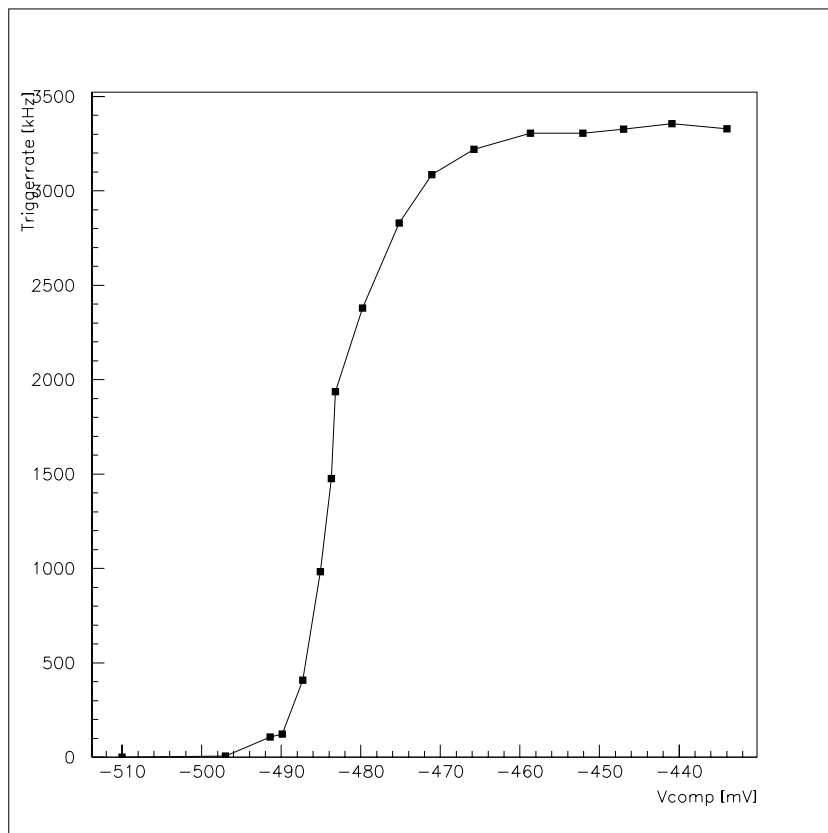


Abbildung 3.28: Triggerrate als Funktion der Komparatorschwelle bei einem eingekoppelten Signal von 2MIP

Kapitel 4

Zusammenfassung und Ausblick

Zusammenfassend läßt sich sagen, daß der HELIX 128 in der hier vorgestellten Version bis auf den Komparatorteil die an ihn gestellten Erwartungen erfüllt hat. Der Chip ist in der Lage, eingekoppelte Ladungspulse rauscharm zu verstärken, diese bis zu 123 Taktzyklen zwischenspeichern und mit einer Auslesefrequenz von 20MHz seriell auszugeben. Das durch die Schutzwiderstände erhöhte Rauschen des Ausgangssignals wurde dabei in Kauf genommen. Weitere Charakterisierungen sind Tests der Strahlenhärte des Chips sowie Systemtests mit angebundenen Detektoren. Die wichtigsten gemessenen Eigenschaften des HELIX 128 sind in Tabelle 4.1 zusammenfassend aufgeführt.

Leistungsaufnahme	230mW ($\hat{=}$ 1,8 mW/Kanal)
Rauschen	$405e^- + 76e^-/\text{pF}$
Gesamtverstärkung	63 mV/MIP
Linearität (Abweichung <1%)	-10MIP bis +7MIP
Variation der Pipelinekapazitäten	<0,26%

Tabelle 4.1: Zusammenfassung der wichtigsten gemessenen Eigenschaften (die Werte gelten für die Standardeinstellungen nach Tab. 2.1)

In der Nachfolgeversion des HELIX 128 werden verschiedene Neuerungen implementiert. Die wesentlichen Veränderungen werden hier kurz aufgelistet:

- Der Steuer- und Kontrollchip SUFIX [22], der die Biasströme und -spannungen für den HELIX generiert, die *Triggerlatency* einstellt sowie die Funktion des HELIX-Chips überwacht, wird auf dem HELIX 128 integriert. Dies hat den Vorteil, daß mögliche Bondprobleme an der Schnittstelle HELIX/SUFIX entfallen. Ein Nachteil ist die geringere Ausbeute an funktionsfähigen Chips, da die Wahrscheinlichkeit, daß Funktionsfehler durch Prozeßschwankungen auftreten bei einem größeren Chip höher ist (Die Nachfolgeversion hat eine um ca. 10% größere Fläche).
- Die Größe des *Multieventbuffers* wird von vier auf acht erhöht. Diese Anforderung wurde durch das HERA-B Experiment gestellt, da die erwartete FLT-Triggerrate 100kHz beträgt. Die Veränderung auf dem Chip wirkt sich nur auf die Kontrolllogik aus, in der die Anzahl an Registern von vier auf acht erhöht wird.

- Es wird eine neue, verbesserte Version des Verstärkers eingebaut. Diese trägt die Versionsnummer HELIX 2.1 und zeichnet sich durch niedrigeres Rauschen und kürzere Pulsformzeit aus.
- Die maximal mögliche Auslesefrequenz wird auf 40MHz erhöht werden. Diese wird durch eine Hintereinanderschaltung von zwei Multiplexern erreicht. Die erste Stufe besteht aus vier Multiplexern, die jeweils 32 Kanäle mit einer Taktfrequenz von 10MHz ausgeben und einem Multiplexer, der diese vier Signale mit einer Taktfrequenz von 40MHz nacheinander ausgibt.
- Mit jeder Auslesefigur wird die Nummer der ausgelesenen Pipelinespalte als Anhang an das analoge Ausgangssignal ausgegeben werden.
- Der Komparator wird durch einen Differenzverstärker realisiert werden.
- Der Ausgangstreiber wird durch einen schnellen, leistungsarmen Strombuffer ersetzt werden.
- Es wird möglich sein, mehrere Chips im *Daisy chained mode* zu betreiben. Dabei werden mehrere Chips miteinander verbunden und geben ihre analogen Signale nacheinander aus. Dies wird durch Weitergabe eines *Tokens* gesteuert.

Anhang A

Steuersignale des HELIX 128

In diesem Abschnitt werden die zum Betrieb des HELIX 128 notwendigen Steuer- und Ausgangssignale aufgeführt. Die digitalen Signale sollten differentiell zugeführt werden, um ein Übersprechen auf andere Teile des Chips zu vermeiden. Die logischen Signale sind CMOS-kompatibel, das heißt logisch 0 entspricht $-2V$ und logisch 1 entspricht $+2V$.

Bezeichnung	Typ	Beschreibung
Rclk	Digitaler Eingang	Auslesetaktfrequenz; diese Frequenz gibt die Ausgabegeschwindigkeit des Multiplexers an. Der nominelle Wert beträgt 20MHz.
Sclk	Digitaler Eingang	Betriebsfrequenz des Chips; Diese Taktfrequenz bestimmt den Auslesezeitpunkt der analogen Eingangstufe, es wird zur fallenden Flanke der Wert, der am <i>Buffer</i> anliegt in die Pipelinekapazität geschrieben. Ebenso werden alle digitalen Signale auf die fallende Flanke der <i>Sclk</i> synchronisiert. Der nominelle Wert beträgt 10,4MHz, was der <i>Bunchcrossingfrequenz</i> von HERA entspricht.
analogOut	Analoger Ausgang	Die Ausgabe der 128 Kanäle geschieht über diesen Ausgang. Mit der Auslesefrequenz werden zur eingekoppelten Ladung proportionale Spannungen zeitlich hintereinander ausgegeben.
analogOutDummy	Analoger Ausgang	durgeführter Zusatzkanal; im normalen Betrieb wird dieses Signal von <i>analogOut</i> abgezogen um die Gleichtaktauslenkung zu unterdrücken.
dataValid	Digitaler Ausgang	Dieses Signal zeigt die Ausgabe von analogen Daten an; es ist auf logisch 1 während die Werte der 128 Kanäle ausgegeben werden

Tabelle A.1: Steuersignale des HELIX 128

Bezeichnung	Typ	Beschreibung
fifoFull	Digitaler Ausgang	Dieses Signal ist auf logisch 1 falls der <i>multi event buffer</i> keine weiteren Signale mehr zwischenspeichern kann. Weitere Trigger werden dann ignoriert.
notReset	Digitaler Eingang	Mit diesem Signal wird der Schreibzeiger auf die Spalte null gesetzt, falls es auf logisch 1 ist.
notTRreset	Digitaler Eingang	Mit diesem Signal wird der Triggerzeiger auf die Spalte null gesetzt, falls es auf logisch 1 ist. Mit den beiden Signalen <i>notReset</i> und <i>notTRreset</i> wird die Zwischenspeicherzeit (<i>Triggerlatency</i>) eingestellt.
trigIn	Digitaler Eingang	Dieses Signal markiert ein Ereignis, das ausgelesen werden soll. Falls es auf logisch 1 ein während einer fallenden Flanke der <i>Sclk</i> liegt, wird die Pipelinespalte ausgelesen, auf die der Triggerzeiger zeigt.
transmitEnable	Digitaler Eingang	Mit diesem Signal kann die Ausgabe von analogen Daten angehalten werden. Es wird auf die fallenden Flanken der <i>Rclk</i> synchronisiert und hält die Ausgabe an, falls es auf logisch 0 liegt.
trigMon	Digitaler Ausgang	Dieses Signal zeigt den Durchgang des Schreibzeigers durch die nullte Pipelinespalte an und dient zu Kontrollzwecken
writeMon	Digitaler Ausgang	Dieses Signal zeigt den Durchgang des Lesezeigers durch die nullte Pipelinespalte an und dient zu Kontrollzwecken

Tabelle A.2: Steuersignale des HELIX 128

Anhang B

Padlayout

Abb. B.1 zeigt eine Übersicht und die Bemaßung der Eingangs- und Versorgungspads des HELIX 128. Die Eingangspads sind jeweils zweifach pro Kanal ausgeführt und miteinander verbunden um bei eventuell auftretenden Bondproblemen ein alternatives Pad verwenden zu können. Die zu den Pads gehörenden Signale sind in Tabelle B.3 aufgeführt. Die Durchnummerierung läuft dabei im Uhrzeigersinn und beginnt mit den Pads rechts oben (nach Abb. B.1).

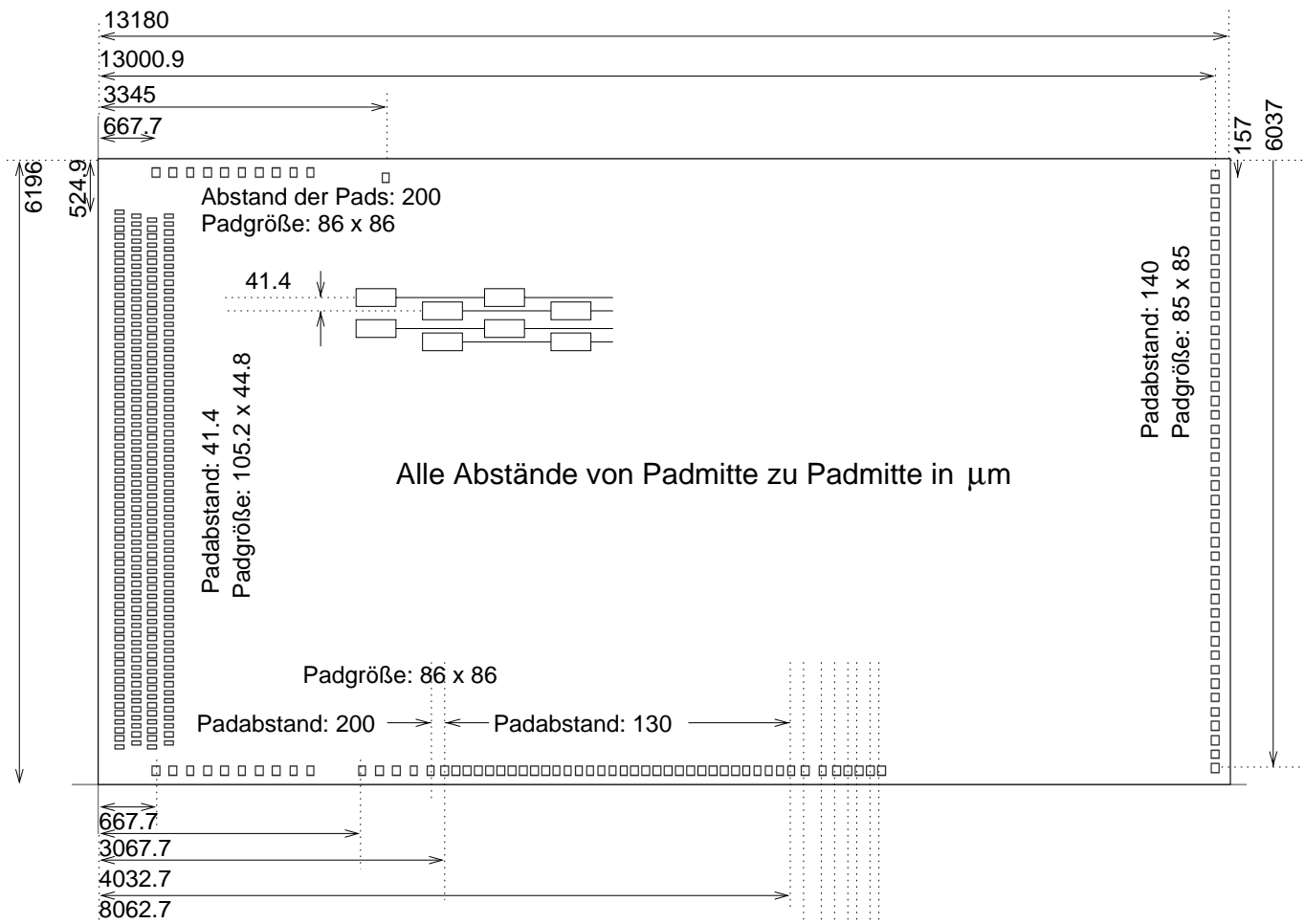


Abbildung B.1: Padlayout des HELIX 128

Signal	Pad	Richtung	Beschreibung
vssp	1, 2 (rechts)	Eingang	Spannungsversorgung der Schutzdioden; wird an $-2V$ angeschlossen
vddp	3, 4	Eingang	Spannungsversorgung der Schutzdioden; wird an $+2V$ angeschlossen
gnda	5, 6	Eingang	Spannungsversorgung der analogen Eingangsstufe, wird an $0V$ angeschlossen
vssa	7, 8	Eingang	Spannungsversorgung der analogen Eingangsstufe, wird an $-2V$ angeschlossen
vdda	9, 10	Eingang	Spannungsversorgung der analogen Eingangsstufe, wird an $+2V$ angeschlossen
testOut	11	Ausgang	Ausgangspad des Testkanals; dient nur zu Testzwecken
notTP	12 (unten)	Eingang	Invertierter Testpulseingang
TP	13	Eingang	Testpulseingang
Ipre	14	Eingang	Vorverstärker Biasstrom; nomineller Wert $200\mu A$
Isha	15	Eingang	Pulsformer Biasstrom; nomineller Wert $120\mu A$
Ilev	16	Eingang	<i>Levelshifter</i> Biasstrom; nomineller Wert $-3\mu A$
Ibuf	17	Eingang	Treiberstufenbiasstrom; nomineller Wert $100\mu A$
Ipipe	18	Eingang	Pipelineverstärker Biasstrom; nomineller Wert $-20\mu A$
Isf	19	Eingang	Biasstrom des Sourcefolgers des Multiplexers; nomineller Wert $20\mu A$
Idrv	20	Eingang	Biasstrom des Ausgangstreibers; nomineller Wert $300\mu A$
Vfp	21	Eingang	Biasspannung der Vorverstärkerrückkoppelkapazität; nomineller Wert $0V$; Eingangswiderstand= ∞
Vfs	22	Eingang	Biasspannung der Pulsformerrückkoppelkapazität; nomineller Wert $1,5V$; Eingangswiderstand= ∞
Vcomp	23	Eingang	Referenzspannung des Komparators
Vcapc	24	NC	ohne Funktion
Vdcl	25	Eingang	Rücksetzspannung des Pipelineverstärkers; nomineller Wert $-1,5V$; aufgrund der niedrigen Eingangsimpedanz von $Z_{in} \approx 10\Omega$ sollte dieser Eingang mit einer Kapazität geblockt werden
Vd	26	Eingang	Kontrollspannung des Pipelineverstärkers; nomineller Wert $-650mV$; aufgrund der niedrigen Eingangsimpedanz von $Z_{in} \approx 10\Omega$ sollte dieser Eingang mit einer Kapazität geblockt werden

Tabelle B.1: Beschreibung der HELIX 128-Pads. Die Nummerierung beginnt rechts oben (siehe Abb. B.1) und geht im Uhrzeigersinn

Signal	Pad	Richtung	Beschreibung
analogOutDummy	27	Ausgang	Ausgang des <i>Dummy</i> -Kanals, der zur Reduktion der Gleichtaktauslenkung von <code>analogOut</code> abgezogen werden sollte
analogOut	28	Ausgang	Analoger Ausgang des Multiplexers
vddpa	29, 30	Eingang	Spannungsversorgung des Pipelineverstärkers; wird an +2V angeschlossen
vsspa	31, 32	Eingang	Spannungsversorgung des Pipelineverstärkers; wird an -2V angeschlossen
vddbuf	33, 34	Eingang	Spannungsversorgung des Ausgangstreibers; wird an +2V angeschlossen
vssbuf	35, 36	Eingang	Spannungsversorgung des Ausgangstreibers; wird an -2V angeschlossen
vddd	37, 38	Eingang	Spannungsversorgung des Digitalteils; wird an +2V angeschlossen
vssd	39, 40	Eingang	Spannungsversorgung des Digitalteils; wird an -2V angeschlossen
notTRESET	41	Eingang	Rücksetzsignal des Triggerzeigers
notRESET	42	Eingang	Rücksetzsignal des Lesezeigers
notTrigIn	43	Eingang	Invertiertes Triggersignal (zur Reduzierung des Übersprechens)
trigIn	44	Eingang	Triggersignal
notWriteMon	45	Ausgang	Invertiertes <code>writeMon</code> -Signal
writeMon	46	Ausgang	Dieses Signal liegt auf logisch 1 während die erste Pipelinespalte beschrieben wird und dient nur zu Kontrollzwecken
notTrigMon	47	Ausgang	Invertiertes <code>trigMon</code> -Signal
trigMon	48	Ausgang	Dieses Signal liegt auf logisch 1 während die erste Pipelinespalte ausgelesen wird und dient nur zu Kontrollzwecken
notdataValid	49	Ausgang	Invertiertes <code>dataValid</code> -Signal
dataValid	50	Ausgang	Dieses Signal liegt während der Ausgabe der 128 Kanäle durch den Multiplexer auf logisch 1
notSCLK	51	Eingang	Invertiertes <code>SCLK</code> -Signal
SCLK	52	Eingang	<i>Sampleclock</i> des Digitalteils; auf die fallende Flanke werden alle digitalen Signale synchronisiert sowie das verstärkte Eingangssignal in die Pipelinezelle geschrieben; nomineller Wert 10MHz
notRCLK	53	Eingang	Invertiertes <code>RCLK</code> -Signal
RCLK	54	Eingang	Auslesetaktfrequenz des Multiplexers; nomineller Wert 20MHz
fifoFull	55 (links)	Ausgang	Dieses Signal ist auf logisch 1 wenn der <i>Multi-Eventbuffer</i> voll ist; weitere Triggersignale werden verworfen

Tabelle B.2: Beschreibung der HELIX 128-Pads. Die Nummerierung beginnt rechts oben (siehe Abb. B.1) und geht im Uhrzeigersinn

Signal	Pad	Richtung	Beschreibung
transmitEnable	56	Eingang	Mit diesem Signal lässt sich der Multiplexer ein- und ausschalten; liegt transmitEnable auf logisch 0, hält der Multiplexer die Ausgabe der analogen Daten an
muxTokenOut	57	Ausgang	vorgesehen für den <i>Daisy Chain mode</i> , keine Funktion
muxTokenIn	58	Eingang	vorgesehen für den <i>Daisy Chain mode</i> , keine Funktion
muxDisable	59	Eingang	falls dieses Signal auf logisch 1 liegt, wird der Multiplexer angehalten und gibt den Wert des jeweiligen Kanals aus
vddcomp	60	Eingang	Spannungsversorgung des Komparators; wird an +2V angeschlossen; falls der Komparator nicht benützt wird kann dieses Pad frei gelassen werden
vsscomp	61	Eingang	Spannungsversorgung des Komparators; wird an -2V angeschlossen; falls der Komparator nicht benützt wird kann dieses Pad frei gelassen werden
or<0:32>	62..93	Ausgang	logisches <i>oder</i> von jeweils vier Komparatorausgängen
sampleBar	94	Eingang	Invertiertes sample -Clock Signal des Komparators
sample	95	Eingang	Betriebstakt des Komparators (siehe Kap. 2.6)
sample*	96	Eingang	Betriebstakt des Komparators (siehe Kap. 2.6)
sample*Bar	97	Eingang	Invertiertes sample* -Clock Signal des Komparators
Vcomp	98	Eingang	Referenzspannung des Komparators
vdda	99, 100	Eingang	Spannungsversorgung der analogen Eingangsstufe, wird an +2V angeschlossen
vssa	101, 102	Eingang	Spannungsversorgung der analogen Eingangsstufe, wird an -2V angeschlossen
gnda	103, 104	Eingang	Spannungsversorgung der analogen Eingangsstufe, wird an 0V angeschlossen
vddp	105, 106	Eingang	Spannungsversorgung der Schutzdioden; wird an +2V angeschlossen
vssp	107, 108	Eingang	Spannungsversorgung der Schutzdioden; wird an -2V angeschlossen
in<127:0>	109..236 (oben)	Eingang	Eingangspads der Vorverstärkerkanäle; jeder Kanal besitzt zwei nebeneinanderliegende Pdas um bei eventuell auftretenden Bondproblemen eine zweite Möglichkeit zu bieten
inTest	237	Eingang	Eingangspad des Testkanals

Tabelle B.3: Beschreibung der HELIX 128-Pads. Die Nummerierung beginnt rechts oben (siehe Abb. B.1) und geht im Uhrzeigersinn

Literaturverzeichnis

- [1] D.H. Perkins
Hochenergiephysik
Addison-Wesley Publishing Company 1990
- [2] W. Hofmann
An experiment to study CP violation in the B system using
an internal target at the HERA proton ring
Nucl. Instr. and Meth. A 333 (1993) 153-166
- [3] HERA-B: An Experiment to study CP Violation in the B System
Using an Internal Target at the HERA Proton Ring
Technical Design Report
DESY-PRC 95/01, January 1995
- [4] K.T. Knöpfle
Forward microvertex detectors for B physics
at proton storage rings
Nucl. Instr. and Meth. A 368 (1995) 192-198
- [5] T. Hott
Dissertation in Vorbereitung
Heidelberg 1997
- [6] N. Kolata
Messungen der Eigenschaften von CMOS Schaltkreisen
unter Temperatur- und Strahlungseinflüssen
Staatsexamensarbeit
Heidelberg 1996
- [7] T. Beckmann
Tests von Auslesechips für Mikrostreifengaskammern
und Kammertest im Teilchenstrahl
Diplomarbeit
Heidelberg 1996
- [8] R. Brenner, H. von der Lippe, J. Michel, E. Nygård, T. Ødegaard, N.A. Smith,
P. Weilhammer, K. Yoshioka
Design and performance of an analog delay and buffer chip
for use with silicon strip detectors at LHC
Nucl. Instr. and Meth. A 339 (1994) 564-569

- [9] U. Tietze, Ch. Schenk
Halbleiterschaltungstechnik
Springer-Verlag 1993
- [10] W. Fallot-Burghardt
Persönliche Mitteilungen, Dissertation in Vorbereitung
Heidelberg 1997
- [11] W. Fallot-Burghardt
Strahlenschäden in dem CMOS Verstärker- und Auslesechip VIKING 2
Diplomarbeit
Heidelberg 1993
- [12] W. Fallot-Burghardt, M. Feuerstack, A. Hölscher, U. Trunk
Helix128: An Amplifier and Readout Chip for MSGCs and Silicon Microstrip Detectors
Universität Heidelberg
Max-Planck-Institut Heidelberg, Juni 1996
- [13] M. Loose
Test und Layout eines Systems adaptiver Photorezeptoren
in analoger CMOS-Technologie
Diplomarbeit
Heidelberg 1996
- [14] R. Schediwy
Messungen zur Pipelinehomogenität
persönliche Mitteilungen
- [15] Austria Mikro Systeme International,
0.8 μ m CMOS Process Parameters
- [16] H. Hinsch
Vorlesung über Elektronik
Vorlesungsskript; WS 93/94; Universität Heidelberg
- [17] M. Keller, A. Hölscher
A 6-Bit Flash ADC
Note HD-ASIC-06
Heidelberg 1996
- [18] E. Nygård, P. Aspell, P. Jarron, P. Weilhammer, K. Yoshioka
CMOS low noise amplifier for microstrip readout
Design and results
Nucl. Instr. and Meth. A 301 (1991) 506-516
- [19] Analog Devices
AD 8001; 800MHz, 50mW Current Feedback Amplifier
Datenblatt

- [20] Hewlett Packard
IC Characterization and Test
HP 82000 Reference Manual

- [21] MIZZI Computer Software
VME Libraries Version 1.4.6
September 1995

- [22] U. Trunk
Suffix 1.0 - A support and control chip
for the HELIX preamplifier and readout chip
Note HD-ASIC-13
Heidelberg 1996

Danke

Mein herzlicher Dank gilt Herrn Prof. Knöpfle, in dessen Arbeitsgruppe ich diese Diplomarbeit durchführen durfte. Durch seine angenehme Form der Betreuung hat mir das Arbeiten viel Spaß bereitet. Herrn Prof. Hofmann danke ich für die freundliche Übernahme der Zweitkorrektur.

Meinen Eltern danke ich, daß sie mir das Studium ermöglicht und mich jederzeit unterstützt haben.

Sehr viel zu verdanken habe ich Wolfgang Fallot-Burghardt, der mich gerade in der Anfangszeit mit viel Geduld angeleitet und betreut hat. Ulrich Trunk danke ich für die Hilfestellungen und Hinweise, die er jederzeit bereit zu geben war.

Allen Mitgliedern des ASIC-Labors danke ich für deren Bereitschaft, alle Fragen geduldig zu beantworten und Hilfe zu leisten, wo es nötig war. Insbesondere danke ich Joachim Boelsems, Martin Feuerstack, Andreas Hölscher und Michael Keller.

Der Vertexdetektor-Gruppe am Max-Planck-Institut danke ich für die Hilfe und den Rat, den ich jederzeit erhalten konnte. Vorallem danke ich Christian Bauer und Matthias Eberle.

Emanuel Jauch danke ich für die Aufnahmen, die er von dem Meßaufbau und den Chips gemacht hat.